

Rec'd PCT/PTO 08 DEC 2004 #2

PCT/JP 03/96

日本国特許庁
JAPAN PATENT OFFICE

04.07.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 6月12日

出願番号
Application Number:

特願2002-170986

[ST.10/C]:

[JP2002-170986]

REC'D 25 JUL 2003

WPC

PCT

出願人
Applicant(s):

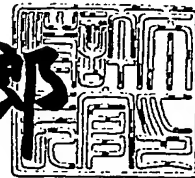
ソニー株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 6月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049933

【書類名】 特許願
【整理番号】 0290108307
【提出日】 平成14年 6月12日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/148
H04N 5/335
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 遠山 隆之
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100086298
【弁理士】
【氏名又は名称】 船橋 國則
【電話番号】 046-228-9850
【手数料の表示】
【予納台帳番号】 007364
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9904452
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置

【特許請求の範囲】

【請求項1】 水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、

前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、

隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備えるとともに、

前記隣接する複数の垂直列について、前記感光部で得た前記水平列の方向における同一位置の前記信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成されていることを特徴とする固体撮像素子。

【請求項2】 水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、

前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、

隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部と、

前記垂直列電荷転送部と前記電荷検出部との間に配された、前記複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部とを備えていることを特徴とする固体撮像素子。

【請求項3】 前記隣接する複数の垂直列電荷転送部は、垂直転送駆動用の電極が共通に使用されることを特徴とする請求項2に記載の固体撮像素子。

【請求項4】 前記電荷検出部は、隣接する2列の前記垂直列ごとに設けられていることを特徴とする請求項2に記載の固体撮像素子。

【請求項5】 前記ダミー電荷転送部は、同一の前記水平列の前記感光部の信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が前記隣接する2

列の垂直列の間で180度反転したものとなる分だけ、前記電荷転送の段数が異なることを特徴とする請求項4に記載の固体撮像素子。

【請求項6】 水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、

前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、

隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備え、

前記隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、前記感光部で得た前記水平列の方向における同一位置の前記信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極が形成されていることを特徴とする固体撮像素子。

【請求項7】 前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための読出ゲートを有することを特徴とする請求項1、2、および6のうちの何れか1項に記載の固体撮像素子。

【請求項8】 前記読出ゲートへの配線は、隣接する他の前記電荷検出部についての前記読出ゲートへの配線と共用されていることを特徴とする請求項7に記載の固体撮像素子。

【請求項9】 水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、

前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、

隣接する2つの前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備え、

前記電荷検出部は、前記信号電荷の入力側に、前記隣接する2つの垂直列についてそれぞれ独立に設けられた、前記信号電荷を読み出すための読出ゲートを有することを特徴とする固体撮像素子。

【請求項１０】 前記電荷検出部は、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを前記電荷検出部ごとに有することを特徴とする請求項１、２、６、および９のうちの何れか１項に記載の固体撮像素子。

【請求項１１】 前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えていることを特徴とする請求項１、２、６、および９のうちの何れか１項に記載の固体撮像素子。

【請求項１２】 前記隣接する複数の垂直列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数の電荷検出部の後段に、当該複数の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えたことを特徴とする請求項１、２、６、および９のうちの何れか１項に記載の固体撮像素子。

【請求項１３】 水平列および垂直列の各方向に２次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子から画素信号を得る駆動方法であって、

前記隣接する複数の前記垂直列についての前記画素信号が、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力されるよう、前記固体撮像素子を駆動することを特徴とする駆動方法。

【請求項１４】 前記電荷検出部は、前記信号電荷の入力側に、前記信号電荷を読み出すための読出ゲートと、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを有しており、

前記読出ゲートがオフのときに前記リセットゲートをオンさせることを特徴とする請求項１３に記載の駆動方法。

【請求項１５】 水平列および垂直列の各方向に２次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接

する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子を用いて撮像信号を得る撮像方法であって、

前記隣接する複数の前記垂直列についての前記画素信号を、前記垂直列の方向への前記信号電荷の転送における異なる位相で取得し、

この取得した画素信号を前記水平列の方向に順次時系列に選択することにより、前記異なる位相のそれぞれについての撮像信号を得、

その後、前記複数の垂直列の並び順に応じて前記撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る

ことを特徴とする撮像方法。

【請求項 16】 水平列および垂直列の各方向に 2 次元状に配列され、光を受光することで信号電荷を得る複数の感光部、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部、前記垂直列電荷転送部と前記電荷検出部との間に配された、前記複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部を備えてなる固体撮像素子と、

前記固体撮像素子から、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力された画素信号を前記水平列の方向に順次時系列に選択することにより、前記異なる位相のそれぞれについての撮像信号を得る水平走査部と、

前記複数の垂直列の並び順に応じて 前記水平走査部から出力された撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る水平列整合部と

を備えたことを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置

に関する。

【0002】

【従来の技術】

従来から、CCD (charge couple device) は、撮像装置の電荷転送部として広く用いられてきた。CCDを撮像装置に用いるときには、水平画素数と略同数の垂直CCDと1個の水平CCDを配置して、電荷は各画素に配置された光電変換部から垂直CCD、水平CCD、そして出力部に転送される。

【0003】

ところで、近年、ビデオカメラなどの小型化、高解像度化の要求が強く、撮像装置の画像分解能を向上させるため、同一光学サイズにおいて画素数を増大させる傾向がある。しかし、画素数を増大させると、当然ながら読み出し時間が増大する。逆に同一時間に全画素分を読み出す場合、同一時間に読み出さなければならない信号数が増大するので、必然的に読出しのためのクロック周波数が高くなる。

【0004】

図15は、従来型のCCD固体撮像素子を表したものである。図15に示したCCD固体撮像素子は、インターライン方式のものであり、撮像領域には画素に対応するフォトダイオード（感光部）が多数、垂直（行）方向および水平方向（列）方向において2次元マトリクス状に配列されている。また撮像領域には、フォトダイオードの垂直列ごとに設けられ、各フォトダイオードから読出ゲートを介して読み出された信号電荷を垂直転送する複数本の垂直CCDが設けられている。

【0005】

さらに、複数本の垂直CCDの各転送先側端部すなわち最後の行に隣接して、図の左右方向に延在する水平CCDが1ライン分設けられている。水平CCDの転送先側端部（図の左側）には、たとえばフローティングデフュージョンアンプFDA構成の電荷検出部が設けられている。この電荷検出部は、水平CCDから順に注入される信号電荷を画素信号電圧に変換して出力する。画素信号電圧を時系列に出力することで撮像信号が得られる。

【0006】

図16は、従来型のCCD固体撮像素子を駆動する転送パルスのタイミングチャートの模式図である。撮像領域の画素に対応するフォトダイオードで光電変換された信号電荷は、読出ゲートを介して垂直CCDに読み出される。垂直CCDは、たとえば4相駆動用の垂直転送パルス $\phi V1 \sim \phi V4$ により駆動されることで、垂直CCDに読み出された信号電荷を、複数列を並列的に水平CCDに転送する。水平CCDは、たとえば2相駆動用の水平転送パルス $\phi H1, \phi H2$ により駆動されることで、垂直CCDから転送された信号電荷をさらに電荷検出部まで転送する。これにより、信号電荷が時系列の撮像信号に変換されて電荷検出部から出力される。

【0007】

このとき、図16に示すように、フォトダイオードで得た信号電荷が垂直CCDを介して水平CCDまで転送される時間と、水平CCDに転送された信号電荷が水平CCDを介して電荷検出部に転送される時間とを比べると、後者の方が圧倒的に長い。すなわち、全部の画素の信号電荷を読み出すために必要な時間は、水平CCDの転送速度で制限される。つまり、CCD固体撮像素子においては、水平CCDのクロック周波数が最も高く、如何にこれを抑えるかが、多画素化のキーポイントの1つとなる。

【0008】

また、同一光学サイズにおける画素数の増大は、1画素あたりのセンサ部の面積低下を招き、ひいては感度の低下という問題を生じさせる。

【0009】

現在の固体撮像素子の主流であるCCD固体撮像素子では、このクロック周波数の限界および1画素当たりの感度低下が、画素数増大に対するの制限要因となっている。以下、この点について具体的に説明する。

【0010】

水平CCDのクロック周波数を低減する読出方式としては、大きく分けて2つの案が考案されている。第1の方法は、たとえば特許第2785782号や特開平2001-119010号に示されている方法であり、固体撮像素子のセンサ

部を複数ブロックに分割し、各々のブロックの水平CCDで電荷を転送するというものである。以下、第1の方法を、「複数水平CCD読出方式」という。

【0011】

また第2の方法は、たとえば特開平6-97414号や特許第3057898号に示されている方法であり、各垂直CCDごとにフローティングデフュージョンアンプFDAなどの電荷検出部を設け、この電荷検出部で信号電荷を電圧信号に変換し、各垂直CCDの電圧信号をスイッチ切替えにより順次出力部に出力するというものである。以下、第2の方法を、「スキヤニング読出方式」という。

【0012】

ここで、上記2つの読出方式についてもう少し深く考えてみる。先ず「複数水平CCD読出方式」を考えてみると、水平CCDを複数ブロックに分割し複数の出力を平行に出力することで、見かけのデータレートは向上する。これにより、水平CCDのクロック周波数を下げることができる。

【0013】

しかし、信号電荷を画素信号に変換する電荷検出部が複数に分かれており、この電荷検出部における変換ゲインの違いにより、各ブロックから出力された信号レベルに濃度むらを生じ、ブロックの継ぎ目部分が不連続となる。画像全体に対して数ブロックに分割しており、この濃度むらが画像上に太い縞模様として現れ、比較的低い周波数であるので、縞模様（濃度むら）が視認されてしまう。

【0014】

また、従来のCCD型撮像素子と基本的に読出方式は変わらず、1ブロックに関してはシリアル出力である。今後は、多画素化に伴う感度低下を補うために、同一行（水平列）の同一色の信号を混ぜ合わせるといった加算方式の信号補正などが重要となると考えられるが、この「複数水平CCD読出方式」は、基本的にはシリアル出力であるために、画素信号の選択性が非常に小さい。すなわち、多画素化による感度低下を信号補正で補うことは困難であると考えられる。

【0015】

次に、「スキヤニング読出方式」を考えてみると、特開平6-97414号に示されているように、垂直CCD列ごと、もしくは、複数垂直CCD列ごとにフ

ローテイングデフュージョンアンプFDAなどの電荷検出部が対応付けられる。
 この場合、電荷検出部における変換ゲインの違いによる濃度むらは、比較的高い周波数となるので、画像上における濃度むらは視認されず、殆ど問題とならない一方で、電荷検出部間のリセットバラツキが問題になってくる。リセットバラツキを除去するためには、電荷検出部以降にたとえばCDS (Correlated Double Sampling: 相関2重サンプリング) 回路を設けるのが望ましく。CDS回路の規模(CDS回路面積の大部分は数pFの容量である)を考えると、CDS回路の数を少なくできる方式が望ましい。

【0016】

この場合、垂直CCD列ごとに設けた電荷検出部からの出力信号をスイッチで切り替えて1つのCDS回路に入力する第1の方式と、複数垂直CCD列ごとに1つの電荷検出部を設け、この電荷検出部ごとに1つのCDS回路を設ける第2の方式とが考えられる。

【0017】

しかしながら、第1の方式では、CDS回路の数が減るものの、CDS回路部分での処理周波数が水平CCDのクロック周波数と等しく、多画素化の上で問題となる。つまり、クロック周波数が高いという問題が、水平CCDからCDS回路に移ったに過ぎない。この点に鑑みれば、複数垂直CCD列ごとに1つの電荷検出部を設ける第2の方式の方が望ましい。

【0018】

しかし、第2の方式では、複数垂直CCD列を切り替えて信号電荷を読み出すための選択ゲートVOG(読出ゲート)を垂直CCDと電荷検出部の間に設けなければならない。垂直CCDと電荷検出部との間に選択ゲートを設けることは、図17(A)に示すように、「スキヤニング読出方式」を等価回路から考えると可能であるが、実際のパターンを考えると、読出ゲートへの選択線の配線が問題となって来る。

【0019】

すなわち、図17(B)に示すように、たとえば4つの垂直CCD列を1つの電荷検出部に割り当てると、外側のカラムA、Dは、選択ゲートへの選択線をバ

ターニングできるが、内側のカラムB、Cは、スペースがなく、実パターンとして形成することは難しい。フローティングデフュージョンFD上にパターンニングすることも考えられるが、ノイズが発生するという新たな問題を招く。

【0020】

【発明が解決しようとする課題】

以上述べたように、従来のCCD固体撮像素子は、多画素化に伴う、感度低下および水平CCDのクロック周波数の低減問題が依然として解決できていない。

【0021】

本発明は、上記事情に鑑みてなされたものであり、クロック周波数と感度の両面を改善することのできるCCD固体撮像素子、およびこのCCD固体撮像素子を駆動する方法、並びにCCD固体撮像素子を用いた撮像方法および撮像装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明に係る第1の固体撮像素子は、水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部と、垂直列電荷転送部と電荷検出部との間に配された、複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部とを備えた。

【0023】

この第1の固体撮像素子において、隣接する複数の垂直列電荷転送部は、垂直転送駆動用の電極が共通に使用されたものとするのが望ましい。

【0024】

また、隣接する2列の垂直列ごとに電荷検出部を設けてもよい。この場合、ダミー電荷転送部は、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相を、180度反転させる分だけ、電荷転送の段数が異なるものとする。

【 ０ ０ ２ ５ 】

本発明に係る第２の固体撮像素子は、水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。また、隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極を形成した。

【 ０ ０ ２ ６ 】

本発明に係る第１あるいは第２の固体撮像素子において、電荷検出部は、フローティングデフュージョン（浮遊拡散層）を信号電荷の入力側に備えたものであるとよい。そしてこの場合、信号電荷の入力側に、隣接する複数の垂直列について共用される、信号電荷を読み出すための読出ゲートを有するものとするのが望ましい。また、読出ゲートへの配線は、隣接する他の電荷検出部についての読出ゲートへの配線と共用されていてもよい。

【 ０ ０ ２ ７ 】

このように、上記第１および第２の固体撮像素子は、要するに、複数の感光部と、この感光部により得た信号電荷を垂直列方向に転送する垂直列電荷転送部と、各垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備え、その隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成されているものであればよい。

【 ０ ０ ２ ８ 】

そして、これを実現する具体的手段として、電荷転送の段数が異なるようにしたダミー電荷転送部を利用したものが第１の固体撮像素子であり、垂直転送制御信号（転送パルス）が印加される垂直転送電極の形成態様にて対応をとったものが第２の固体撮像素子である。

【0029】

本発明に係る第3の固体撮像素子は、前記第1および第2の固体撮像素子とは異なる観点からのものであり、水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する2つの垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。そして、電荷検出部の信号電荷の入力側に、2つの垂直列についてそれぞれ独立に設けられた、信号電荷を読み出すための読出ゲートを設けた。

【0030】

本発明に係る第1、第2、あるいは第3の固体撮像素子において、電荷検出部は、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを電荷検出部ごとに有するものであるとよい。

【0031】

あるいは、電荷検出部の後段に、画素信号における信号電荷のないときの出力と信号電荷のあるときの信号レベルの差を検知する差動検知部を備えたものとするのが望ましい。

【0032】

また、隣接する複数の垂直列についての電荷検出部が、さらに複数の垂直列を組として垂直列の方向に複数個設けられており、この複数個の電荷検出部の後段に、複数個の電荷検出部のそれぞれから出力された画素信号を水平列の方向に順次時系列に選択して出力する水平走査部を備えたものとするのが望ましい。

【0033】

本発明に係る固体撮像素子の駆動方法は、本発明に係る第1、第2、あるいは第3の固体撮像素子を駆動する方法であって、隣接する複数の垂直列についての画素信号が、垂直列の方向への信号電荷の転送における異なる位相で出力されるよう駆動することとした。

【0034】

そしてたとえば、電荷検出部が、信号電荷の入力側に、信号電荷を読み出すた

めの読出ゲートと、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを有している場合、読出ゲートがオフのときにリセットゲートをオンさせることで、隣接する複数の垂直列について順に読み出す。

【0035】

本発明に係る撮像方法は、本発明に係る第1、第2、あるいは第3の固体撮像素子を用いて撮像信号を得る撮像方法であって、最初に、隣接する複数の垂直列についての画素信号を、垂直列の方向への信号電荷の転送における異なる位相で取得する。次に、この取得した画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る。最後に、複数の垂直列の並び順に応じて撮像信号の画素信号を水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る。

【0036】

本発明に係る撮像装置は、本発明に係る第1、第2、あるいは第3の固体撮像素子を用いて撮像信号を得る装置であって、固体撮像素子から、垂直列の方向への信号電荷の転送における異なる位相で出力された画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る水平走査部と、複数の垂直列の並び順に応じて 水平走査部から出力された撮像信号の画素信号を水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る水平列整合部とを備えた。

【0037】

【作用】

第1の固体撮像素子は、複数の垂直列に対して1つの電荷検出部を割り当てるとともに、垂直列電荷転送部と電荷検出部との間にダミー電荷転送部を設けた。これにより、複数の垂直列に対して、垂直転送電極や選択ゲート（読出ゲート）用の電極などの種々の電極やゲートを共用できるようにした。

【0038】

第2の固体撮像素子は、複数の垂直列に対して1つの電荷検出部を割り当てるとともに、隣接する複数の垂直列電荷転送部に対して、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相が異なるように垂直転送駆

動用の電極を形成した。そしてこれにより、複数の垂直列に対して、垂直転送電極や選択ゲート（読出ゲート）用の電極などの種々の電極やゲートを共用できるようにした。

【0039】

第3の固体撮像素子は、2本の垂直列に対して1つの電荷検出部を割り当てるとともに、電荷検出部の信号電荷の入力側に、信号電荷を読み出すための読出ゲートを2つの垂直列について独立に設けた。これにより、読出ゲートへの選択線の配線の問題を解消する。

【0040】

本発明に係る駆動方法においては、隣接する複数の垂直列についての画素信号が、垂直転送における異なる位相で出力されるよう駆動することとした。そして、本発明に係る撮像方法および装置においては、この垂直転送における異なる位相で取得された画素信号を水平列方向に順次時系列に選択することで、各位相についての撮像信号を得る。そして、垂直列の並び順に応じて画素信号を水平列方向に並び替えることで、撮像エリア上の撮像画像情報と撮像信号とが同一の配列となるようにした。

【0041】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0042】

図1は、本発明に係るCCD固体撮像素子を用いた撮像装置の第1実施形態を示す概略構成図であり、インターライン転送方式のCCDエリアセンサに適用した場合を示す。

【0043】

図1に示す撮像装置1は、撮像エリア100および撮像エリア100に対して図面上の下側に配された読出処理部200を有するCCD固体撮像素子10と、CCD固体撮像素子10を駆動する外部回路30と備えている。

【0044】

外部回路30は、CCD固体撮像素子10に対して、ドレイン電圧 V_{DD} 、ゲー

ト電圧 V_{GG} 、あるいはリセットドレイン電圧 V_{RD} などの所望の駆動電圧を供給する駆動電源 70 と、垂直転送パルス $\phi V1 \sim \phi V4$ 、読出パルス X_{SG} 、選択ゲートパルス ϕVOG 、リセットゲートパルス ϕRG 、クランプパルス CLP 、ホールドパルス HP などの CCD 固体撮像素子 10 を駆動するための種々のパルス信号、あるいは列選択パルス生成部 280 に対しての制御信号 CNT などを生成するタイミングジェネレータ (TG) 80 を含む。

【0045】

この撮像装置 1 を構成する CCD 固体撮像素子 10 は、半導体基板上に、画素 (ユニットセル) に対応して受光素子の一例である PN 接合のフォトダイオードなどからなる感光部 (センサ部; フォトセル) 120 が多数、垂直 (行) 方向および水平方向 (列) 方向において 2 次元マトリクス状に配列されている。これら感光部 120 は、受光面から入射した入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する。

【0046】

また CCD 固体撮像素子 10 は、感光部 120 の垂直列ごとにそれぞれ 4 相駆動に対応する複数本 (本例では 1 ユニットセル当たり 4 本) の垂直転送電極 $V1 \sim V4$ を有した垂直列電荷転送部の一例である垂直 CCD 130 が配列されている。垂直転送電極 $V1 \sim V4$ は、隣接する垂直 CCD 130 に対して、撮像エリア 100 では、同一の水平列の感光部 120 の信号電荷が同相で電荷検出部 210 側に転送されるように、図中水平列方向にほぼ真っ直ぐに延びている。

【0047】

2 次元マトリクス状に配列された多数の感光部 120 と、これら感光部 120 の垂直列ごとに設けられ、各感光部 120 から読出ゲート部 (図示せず) を介して読み出された信号電荷を垂直転送する複数本の垂直 CCD 130 とによって撮像エリア 100 が構成されている。

【0048】

各垂直転送電極 $V1 \sim V4$ は、転送方向の繰返し単位を感光部 120 の 1 画素 (すなわちユニットセル) ごととしている。転送方向は図中縦方向であり、この方向に垂直 CCD 130 が設けられている。さらに、これら垂直 CCD 130 と

各感光部120との間には読出ゲート部（トランスファゲート）ROGが介在している。また各ユニットセルの境界部分にはチャンネルストップ（素子分離層）CSが設けられている。さらに、複数本の垂直CCD130の各転送先側端部すなわち、最後の行の垂直CCD130に隣接して、読出処理部200が設けられている。

【0049】

感光部120の各々に蓄積された信号電荷は、外部回路30を構成するタイミングジェネレータ80から発せられた読出パルス X_{SG} が読出ゲート部ROGのゲート端子電極に印加され、そのゲート端子電極下のポテンシャルが深くなることにより、当該読出ゲート部ROGを通して垂直CCD130に読み出される。垂直CCD130に読み出された信号電荷は、所定タイミングの垂直転送パルス $\phi V1 \sim \phi V4$ が垂直転送電極V1～V4に印加（4電極/4相駆動という）されることで順に垂直列に沿って読出処理部200に転送される。

【0050】

読出処理部200は、垂直CCD130から順に注入される信号電荷を受けて電圧信号に変換する電荷検出部210と、電荷検出部210により変換された電圧信号の周波数帯域を制限する帯域制限部230と、電荷検出部210で発生したリセット雑音を抑圧するCDS処理部250と、CDS処理部250から出力された電圧信号の垂直列を選択して出力する列選択部270とを備える。また読出処理部200は、水平方向の走査を規定する列選択パルス（水平走査パルス）SP(n)を発生し、列選択部270に供給する列選択パルス生成部280を有する。

【0051】

ここで、この第1実施形態では、隣接した2本の垂直列ごとに電荷検出部210、帯域制限部230、CDS処理部250、および列選択部270を設けていることに特徴がある。すなわち、この第1実施形態は、複数のフォトダイオードでなる感光部120列および各感光部120とそれぞれ読出ゲート部ROGを介して結合された垂直CCD130からなる画素列が複数並列配置された撮像エリア100を水平方向に垂直列の隣接する2本を1組として対応させて、それぞれ

電荷検出部 210などを設けたものである。ここでは、2本を1組とした例を示しているが、後述する他の実施形態のように、特にこの値に制限されるものではない。

【0052】

読出処理部 200において、電荷検出部 210は、撮像エリア 100の垂直 CCD 130から順に注入される信号電荷を図示しないフローティングデフュージョンに蓄積し、たとえば図示しないソースフォロア構成の出力回路を介して、タイミングジェネレータ 80から発せられた選択ゲートパルス ϕVOG やリセットゲートパルス ϕRG の制御の元に、信号電荷を電圧信号に変換して画素信号（CD出力信号）として出力する。

【0053】

電荷検出部 210により電圧信号に変換された画素信号は、その後、帯域制限部 230により信号の周波数帯域が制限され、次に CDS 処理部 250により電荷検出部 210で発生したりセット雑音が抑圧される。列選択部 270は、列選択パルス生成部 280から供給された列選択パルス SP (n) がアクティブなとき CDS 処理部 250からの電圧信号を出力信号線 290に出力する。

【0054】

すなわち、垂直方向の奇数列と偶数列についての電圧信号を、奇数列と偶数列の別に（時分割で）、列選択部 270により水平方向に順に切り替えて読み出すことで、異なる位相で出力される奇数列と偶数列のそれぞれについての撮像信号を得る。つまり、画像再生手段 270および列選択パルス生成部 280により、本発明に係る水平走査部が構成される。

【0055】

図2は、第1実施形態の CCD 固体撮像素子 10における、垂直 CCD 130と読出処理部 200との境界部分近傍を表した図であって、図2（A）は平面模式図、図2（B）は、垂直列方向の断面模式図である。

【0056】

図示するように、電荷検出部 210の前段である垂直 CCD 130側には、フローティングデフュージョン構成のアンプ FDA を設ける。すなわち、アンプ F

DAは、選択ゲートVOG、N+領域であるフローティングデフュージョン（浮遊拡散層）FD、リセットゲート線RG、N+領域であるリセットドレインなどからなる。垂直CCD130の奇数列であるカラムA、C、E、…と偶数列であるカラムB、D、F、…の、それぞれ隣接した2本の垂直列に対するように、1つの電荷検出部210が設けられている。

【0057】

垂直CCD130の上部には、複数の垂直転送電極（ここでは、1画素当たり4つの垂直転送電極V1～V4）が形成されており、各カラム間にはチャネルストップCSが形成され、チャネルストップCSには図示しない感光部120および読出ゲート部ROGが設けられている。

【0058】

電荷検出部210の選択ゲートVOG側と撮像エリア100の垂直CCD130との間には、ダミー電荷転送部の一例であるダミー垂直CCD132が設けられている。ダミー垂直CCD132は、遮光膜で覆われている。ダミー垂直CCD132の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列については転送電極V1～V4に相当する4段、偶数列についてはV1～V4の4段に加えてさらにV1、V2の2段が設けられている。つまり垂直CCD130およびダミー垂直CCD132の全体からなる垂直CCDの長さ（電極に対応するレジスタの段数）を、2つのレジスタ分だけ違えてある。

【0059】

垂直CCD130の転送電極V1～V4およびダミー垂直CCD132の転送電極V1～V4には、共通に、順に後述するタイミングの垂直転送パルス $\phi V1$ ～ $\phi V4$ が印加される。

【0060】

ダミー垂直CCD132の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列についてはV1～V4の4段、偶数列についてはV1～V4の4段に加えてさらにV1、V2の2段が設けられている。これにより、奇数列、偶数列の両者について同じ垂直転送パルス $\phi V1$ ～ $\phi V4$ を使用しても、垂直CCD130から電荷検出部210への信号電荷の転送位相（読出フェーズ）が180度ずれ、

それぞれ異なるタイミングで電荷検出部 210（本例ではフローティングデフュージョンFD）に到達するようにしている。

【0061】

つまり、フローティングデフュージョンFDに繋がるダミー垂直CCD132の長さ（電荷井戸の段数）を変え、フローティングデフュージョンFDへの到達時における2列の垂直CCD130の電荷転送用位相を180度ずらしてやることによって、垂直CCD130を選択するための選択ゲートVOGを垂直CCD130ごとに2つ用いることなく、単一のフローティングデフュージョンFDへの選択ゲートVOGのみで2列の垂直CCD130の信号電荷を1つのフローティングデフュージョンFDに移すことができるようにしている。この結果、従来型の「スキヤニング読出方式」と比較して、ゲートに繋がる配線の数減らすことができ、素子面積を有効に活用できるようになる。

【0062】

なお、ダミー垂直CCD132の段数は、図示した例に限らず、垂直転送の位相数、転送電極数、1つの電荷検出部210に対する垂直列数などに応じて、それぞれのカラムの信号電荷が電荷検出部210（本例ではフローティングデフュージョンFD）に、転送の1周期においてそれぞれ異なる位相（タイミング）で到達するように、適宜変更すればよい。また、図示した例においても、たとえば奇数列および偶数列に共通のV1～V4の部分を取り除いて、奇数列については0段、偶数列については2段とするなど、奇数列の段数Daと偶数列の段数Dbとの間に、“ $D_b = D_a + 2$ ”なる関係があればよい。また、“ $D_a = D_b + 2$ ”というように、奇数列と偶数列との関係を逆にしてもよい。

【0063】

図3は、第1実施形態のCCD固体撮像素子10における、垂直CCD130およびダミー垂直CCD132を駆動する垂直転送パルス $\phi V1 \sim \phi V4$ と、電荷転送との関係を説明する図である。ここで、図3（A）は、4相駆動の垂直転送パルス $\phi V1 \sim \phi V4$ の基本形のタイミングチャートである。また図3（B）は、垂直CCD130およびダミー垂直CCD132における電圧ポテンシャルと電荷転送の関係を示す模式図である。また図3（C）は、フローティングデフ

ユージョンFDへの電荷転送のタイミング（垂直列による位相差）を説明する図である。図3（C）において、太線で囲んだ部分は信号電荷が存在する部分である。

【0064】

前述のように、垂直CCD130およびダミー垂直CCD132の各転送電極V1～V4に対応するレジスタ（電荷井戸；チャージパケット）は、図3（A）に示す垂直転送パルス $\phi V1 \sim \phi V4$ で共通に駆動される。

【0065】

図3（B）に示すように、4つの転送電極V1, V2, V3, V4を、図の左側から順に繰り返して配列した電極構造において、転送電極V1に1相目の垂直転送パルス $\phi V1$ を、転送電極V2に2相目の垂直転送パルス $\phi V2$ を、転送電極V3に3相目の垂直転送パルス $\phi V3$ を、転送電極V4に4相目の垂直転送パルス $\phi V4$ を、それぞれ印加するものとする。垂直転送パルス $\phi V1 \sim \phi V4$ をオンさせ転送電極V1～V4に高電圧を印加すると、対応する転送電極下のポテンシャルが深くなり電荷井戸（レジスタ）が形成される。また、垂直転送パルス $\phi V1 \sim \phi V4$ をオフさせて転送電極V1～V4に低電圧を印加すると、対応する転送電極下のポテンシャルが浅くなり、電位障壁が形成される。

【0066】

時刻T0では、転送電極V1, V2に高電圧、転送電極V3, V4に低電圧が加えられることで、転送電極V1, V2の下のパテンシャルが深く、転送電極V3, V4の下のパテンシャルが浅くなり、転送電極V1, V2の下に電荷井戸が形成され信号電荷が蓄積され、転送電極V3, V4の下は障壁となり信号の混入を防止している。また、電荷蓄積のパケットサイズを2電極分としており、信号の取扱い量が大きくなる。

【0067】

次に時刻T1では、転送電極V1, V2は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V4は低電位に保って障壁を形成したままで、転送電極V3を高電位に遷移する。これにより、電極V3の下のパテンシャルが深くなることで、3つの電極V1, V2, V3による電荷井戸が形成され、それ以前（時刻T

0とする)に転送電極V1, V2の下に蓄積されていた信号電荷が転送電極V3側にも移動する。

【0068】

時刻T2では、転送電極V2, V3は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V4は低電位に保って障壁を形成したままで、転送電極V1を低電位に遷移する。これにより、転送電極V1の下のポテンシャルが浅くなることで、転送電極V1の下の信号電荷が全て転送電極V2, V3の下に移され、ここに信号電荷が蓄積される。

【0069】

続いて、時刻T3では、転送電極V2, V3は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V1は低電位に保って障壁を形成したままで、転送電極V4を高電位に遷移する。これにより、転送電極V4の下のポテンシャルが深くなることで、3つの電極V2, V3, V4による電荷井戸が形成され、転送電極V2, V3の下の信号電荷が転送電極V4側にも移動する。

【0070】

そして、時刻T4では、転送電極V3, V4は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V1は低電位に保って障壁を形成したままで、転送電極V2を低電位に遷移する。これにより、転送電極V2の下のポテンシャルが浅くなることで、転送電極V2の下の信号電荷が全て転送電極V3, V4の下に移され、ここに信号電荷が蓄積される。

【0071】

この時刻T1から時刻T4までの一連の駆動により、転送電極V1, V2の下の信号電荷が、転送電極V3, V4の下まで転送される。この時刻T1～時刻T4は、垂直転送パルス $\phi V1 \sim \phi V4$ の1周期のほぼ半分である。

【0072】

さらに、時刻T5では、転送電極V3, V4は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V2は低電位に保って障壁を形成したままで、転送電極V1を高電位に遷移する。これにより、電極V1の下のポテンシャルが深くなることで、3つの電極V3, V4, V1による電荷井戸が形成され、それ以前(時

刻T4)に転送電極V3, V4の下に蓄積されていた信号電荷が転送電極V1側にも移動する。

【0073】

時刻T6では、転送電極V4, V1は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V2は低電位に保って障壁を形成したままで、転送電極V3を低電位に遷移する。これにより、転送電極V3の下のポテンシャルが浅くなることで、転送電極V3の下の信号電荷が全て転送電極V4, V1の下に移され、ここに信号電荷が蓄積される。

【0074】

続いて、時刻T7では、転送電極V4, V1は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V3は低電位に保って障壁を形成したままで、転送電極V2を高電位に遷移する。これにより、転送電極V2の下のポテンシャルが深くなることで、3つの電極V4, V1, V2による電荷井戸が形成され、転送電極V4, V1の下の信号電荷が転送電極V2側にも移動する。

【0075】

そして、時刻T8では、転送電極V1, V2は高電圧に保って電極下に電荷井戸を形成し且つ転送電極V3は低電位に保って障壁を形成したままで、転送電極V4を低電位に遷移する。これにより、転送電極V4の下のポテンシャルが浅くなることで、転送電極V4の下の信号電荷が全て転送電極V1, V2の下に移され、ここに信号電荷が蓄積される。

【0076】

この時刻T5から時刻T8までの一連の駆動により、転送電極V3, V4の下の信号電荷が、転送電極V1, V2の下まで転送される。この時刻T5～時刻T8は、垂直転送パルス $\phi V1 \sim \phi V4$ の1周期のほぼ半分である。

【0077】

そして、以上のことから分かるように、時刻T0から時刻T8までの一連の駆動で、時刻T0にて転送電極V1, V2の下に蓄積されていた信号電荷が、1画素分だけ離れた転送電極V1, V2の下まで転送される。そして、時刻T4と時刻T8(T0と等価)とでは、電荷転送が180度ずれた状態(逆相)となって

いる。なお、時刻T2と時刻T6とでも、電荷転送が180度ずれた状態となっている。

【0078】

このように、上記によれば、4相駆動の1/4周期(90度位相ずれ)で1電極分、1/2周期(180度位相ずれ)で2電極分を電荷転送でき、1周期で4電極分の電荷転送ができる。つまり、この駆動方式では、奇数列と偶数列の各ダミー垂直CCD132について、垂直転送電極2つ分(2レジスタ分)を違えることで、奇数列と偶数列とに垂直転送電極V1～V4を共通に使用しても、電荷検出部210に信号電荷が到達する位相が180度ずれた状態を形成できる。

【0079】

そして図3(C)に示すように、垂直転送パルス $\phi V1 \sim \phi V4$ の1周期(図示したT1～T8)により、奇数列の信号電荷がフローティングデフュージョンFDに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンFDに到達したときには、奇数列の信号電荷はまだ到達しない。

【0080】

したがって、選択ゲートパルス ϕVOG をオンさせてT1～T4で垂直転送し、選択ゲートパルス ϕVOG をオフさせて水平走査することで偶数列の読出しを完結させ、その後、リセットゲートパルス ϕRG をオンさせてフローティングデフュージョンFDをクリアにした後、選択ゲートパルス ϕVOG をオンさせて残りのT5～T8にて垂直転送し、選択ゲートパルス ϕVOG をオフさせて水平走査することで奇数列を完結させる、という処理を繰り返すことで、1水平走査期間分の撮像信号を得、さらに全水平ライン分に亘って繰り返すことで、1画面分(撮像エリア100の全体分)の信号電荷に応じた時系列の画素信号を出力信号線290から出力することができる。

【0081】

なお、上記説明から推測されるように、電荷転送が180度ずれた状態(逆相)を形成するには、垂直転送電極V1～V4を共用するのではなく、奇数列と偶数列とについて、それぞれ独立に駆動可能な垂直転送電極V1～V4を使用して

もよい。この場合、ダミー垂直CCD132は不要となり、垂直CCDは同じ長さであってもかまわない。ただし、奇数列と偶数列とについて、独立に垂直転送電極V1～V4をレイアウト（形成）する必要がある。したがって、垂直転送電極側でのパターンニングが難しくなる。

【0082】

図4は、垂直転送電極V1～V4の配置を変えることで、この問題を解消しつつ、電荷転送を逆相にする一例を説明する図である。本例では、垂直転送電極V1～V4を共用し、且つダミー垂直CCD132を設けることなく、同一の水平列の感光部120の信号電荷が電荷検出部210に到達するときの電荷転送の位相が逆相となるようにしている。図4（B）に示すように、奇数列と偶数列とは、同一水平列における垂直転送電極V1～V4の配列が逆相となるようにしている。このようにパターンニングするには、たとえば図4（D）に模式的にジグザグ状にパターンニングすればよい。

【0083】

そして、こうすることで、垂直転送電極V1～V4や選択ゲート（読出ゲート）VOG用の電極などの種々の電極を共用し、偶数列と奇数列とで共通の垂直転送パルス $\phi V1 \sim \phi V4$ を用い、さらにダミー垂直CCD132を設けなくても、図4（C）に示すように、フローティングデフュージョンFD側に逆相で信号電荷を転送することができる。つまり、奇数列の信号電荷がフローティングデフュージョンFDに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンFDに到達したときには、奇数列の信号電荷はまだ到達しない。

【0084】

図5は、第1実施形態のCCD固体撮像素子を使用する場合における、垂直転送と水平方向の読出しを説明するタイミングチャートであり、1水平走査期間における、垂直方向へ電荷転送と出力信号線290から時系列の画素信号を得るまでの全体像を示している。

【0085】

前述のように、垂直CCD130およびダミー垂直CCD132の各転送電極

V1～V4に対応するレジスタ（電荷井戸）は、全て同一の垂直転送パルス $\phi V1 \sim \phi V4$ で駆動される。また、選択ゲートパルス ϕVOG およびリセットゲートパルス ϕRG は、対応する電極が共通に形成されているので、当然に、奇数列と偶数列とで共通に使用される。

【0086】

図5に示す1つの水平期間における奇数列あるいは偶数列の各読出期間の期間に、選択ゲートパルス ϕVOG により選択ゲートVOGをオンさせた状態で、垂直転送パルス $\phi V1 \sim \phi V4$ を図示したタイミングで駆動することで、垂直転送パルス $\phi V1 \sim \phi V4$ 下部のレジスタに蓄積されていた奇数列および偶数列の各信号電荷は順次、並列的（同時）にダミー垂直CCD132側に転送される。垂直CCD130の最終段の画素に対応するレジスタまで転送された各列の信号電荷は、ダミー垂直CCD132を介して電荷検出部210のフローティングデフュージョンFDに移される。

【0087】

これにより、フローティングデフュージョンFDの電位が変化し、その電位が図示しないソースフォロワ型の増幅器を介して検出される。信号電荷が検出された後、リセットゲートパルス ϕRG によりリセットゲート線（電極）RGをオンすることで、フローティングデフュージョンFDの電位はN+領域であるリセットドレインの電圧 V_{RD} にリセットされる。

【0088】

ここで、ダミー垂直CCD132において、奇数列と偶数列とのレジスタ（電荷井戸）は2段分ずれており、垂直転送パルス $\phi V1 \sim \phi V4$ の1周期（図示したT1～T8）において、信号電荷が180度ずれて（逆位相で）フローティングデフュージョンFDに到達するようにされている。このため、奇数列の信号電荷がフローティングデフュージョンFDに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンFDに到達したときには、奇数列の信号電荷はまだ到達しない。

【0089】

したがって、選択ゲートパルス ϕVOG をハイにし選択ゲートVOGのスイッ

チをオンさせて、T 1 から T 8 の各タイミングで垂直転送パルス $\phi V 1 \sim \phi V 4$ を図示したタイミングで駆動すると、カラム A, C, E, … の奇数列の信号電荷は、フローティングデフュージョン F D に転送され、電荷検出部 2 1 0 にて電圧信号に変換され（信号電荷が読み出され）、さらに帯域制限部 2 3 0 および C D S 処理部 2 5 0 を経由して列選択部 2 7 0 に入力される。T 9 以降、列選択部 2 7 0 に対する列選択パルス S P (n) の制御、すなわち列選択パルス生成部 2 8 0 による水平走査によって、A, C, E, … といった 1 ライン分のうちの奇数列の信号電荷に対応した時系列の撮像信号が出力信号線 2 9 0 に出力される。

【 0 0 9 0 】

ここで、カラム A, C, E, … の奇数列とカラム B, D, F, … の偶数列のダミー垂直 C C D 1 3 2 の長さは、ちょうど電荷転送の位相が 1 8 0 度回転するように異なっているために、奇数列読出期間の T 1 ~ T 8 においてカラム A, C, E, … の奇数列の信号電荷がフローティングデフュージョン F D に到達した時点では、カラム B, D, F, … の偶数列の信号電荷は、フローティングデフュージョン F D に到達していない。

【 0 0 9 1 】

列選択パルス生成部 2 8 0 により水平走査をした後（T 1 0 ~ T 1 1）、時刻 T 1 2 において、リセットゲートパルス $\phi R G$ によりリセットゲート R G のスイッチをオンにしてフローティングデフュージョン F D の電位をリセットレベルに戻してフローティングデフュージョン F D をクリアした後、時刻 T 1 3 においてリセットゲートのスイッチをオフにする。

【 0 0 9 2 】

そして、その後、偶数列読出期間の T 0 において、再び選択ゲート V O G のスイッチをオンし、偶数列読出期間の T 1 ~ T 8 の各タイミングで垂直転送パルス $\phi V 1 \sim \phi V 4$ を図示したタイミングで駆動すると、先ほどのカラム A, C, E, … の動作と同様に、カラム B, D, F, … の偶数列の信号電荷がフローティングデフュージョン F D に転送され始める。このとき、奇数列の信号電荷は、電荷転送の位相が 1 8 0 度ずれているので、まだフローティングデフュージョン F D には到達していない。

【0093】

したがって図示するように、選択ゲートパルス ϕ VOGをオンさせT1～T4で垂直転送し、選択ゲートパルス ϕ VOGをオフさせて水平走査することで偶数列撮像信号の出力信号線290への出力を完結させ、その後、リセットゲートパルス ϕ RGをオンさせてフローティングデフュージョンFDをクリアにした後、選択ゲートパルス ϕ VOGをオンさせて残りのT5～T8にて垂直転送し、選択ゲートパルス ϕ VOGをオフさせて水平走査することで奇数列撮像信号の出力信号線290への出力を完結させる、という処理を繰り返すことで、1水平走査期間分の信号電荷に応じた時系列の画素信号を出力信号線290から出力することができる。そして、この1水平走査期間分の処理を順に繰り返すことで、1画面分の信号電荷に応じた撮像信号を出力信号線290から出力することができる。

【0094】

このように、隣接する垂直CCDの複数列（前例では奇数列および偶数列）の段数を違えて1組に纏めて1つの電荷検出部に割り当てることで、奇数列および偶数列の各信号電荷を時分割で順次電荷検出部側に読み出すことができる。そして、たとえばフローティングデフュージョンFDを使用した電荷検出部210とする場合、その複数列（前例では奇数列および偶数列）に共通の選択ゲートVOGを駆動することにより、選択ゲートVOGに繋がる配線の数減らすことができ、たとえばCDS処理部250を内蔵するなどといった点で、面積を有効的に活用できるようになる。また、電荷検出部210以降の回路も電荷検出部210の数と同じだけあればよく、複数列（前例では奇数列および偶数列）を1組に纏めた分だけ削減できるので、消費電力を減らすことができる。

【0095】

図6は、読出処理部200における、電荷検出部210、帯域制限部230、CDS処理部250、および列選択部270についての、1ユニット分の第1の構成例を示す図であって、図6（A）は回路図、図6（B）は動作を説明するタイミングチャートである。

【0096】

この読出処理部200において、電荷検出部210は、CCD固体撮像素子1

0に内蔵型の前段出力部（プリアンプ）を構成するものであり、駆動MOSトランジスタ（DM；DriveMOS）DMと、負荷MOSトランジスタ（LM；LoadMOS）LMによるソースフォロア（電流増幅回路）構造を有し、またリセットゲートパルス ϕ RGに基づいて制御されるリセットゲート端子を有するMOSトランジスタ（RGTr）を備え、垂直CCD130からの信号電荷を電圧信号に変換する機能を備える。なお、図では、1段構成のソースフォロアとしているが、複数段のソースフォロアとしてもよい。

【0097】

駆動MOSトランジスタDMのゲートには、垂直CCD130から選択ゲートVOGを介して供給される信号電荷を蓄積するフローティングデフュージョンFDが接続され、また信号電荷を排出するためのリセットドレイン電源VRDの間にリセットゲートRG用のMOSトランジスタRGTrのソースが接続されている。フローティングデフュージョンFDは、選択ゲートVOGを介して、奇数列（odd）と偶数列（even）の2列分の垂直CCD130が接続され、フローティングデフュージョンアンプFDAが構成されている。リセットドレイン電源VRDは、電源VDDと共通としてもよい。

【0098】

この電荷検出部210において、選択ゲートVOGには所定の選択ゲートパルス ϕ VOGが印加され、リセットゲート線RGには信号電荷の検出周期でリセットゲートパルス ϕ RGが印加される。そして、フローティングデフュージョンFDに蓄積された信号電荷は信号電圧に変換され、駆動MOSトランジスタDMと負荷MOSトランジスタLMからなるソースフォロア構成の出力回路を介して画素信号として導出される。

【0099】

そして、ある時刻に初段ソースフォロアのゲート容量に蓄えられていた、直前の信号電荷がリセットゲート線RGにパルスを与えるとリセットされる。このとき、端子Aは、リセット電位になる。B点は、初段ソースフォロア出力インピーダンスと帯域制限容量Coutで決まる時定数だけ遅れて、リセット電位が確定する。B点でリセット電位が確定したとき、クランプパルスCLPにパルスが

入力され、そのリセット電位がクランプされる。

【0100】

次に、入力パルスにより信号電荷が端子Aに入力される。すると、端子Aは、信号電荷の分だけ電位が下がる。そしてB点は、リセット時と同様に時定数だけ遅れて信号電位が確定する。このとき、ホールドパルスHPにパルスを与え、そのときの電位をC点に蓄える。C点には、信号電位とリセット電位の差の電位が蓄えられる。

【0101】

その後、列選択パルス生成部280により列選択部270に列選択パルスSP(n)を与えることで、出力信号線290に撮像信号出力する。この動作において、信号電位を検出している時間とリセット電位を検出している時間を同じにしている。これは、後段のCDS処理部250で信号電位とリセット電位の差を取るときに、2つの電位が同一の帯域で制限され、同レベルの雑音成分を持つ必要があるためである。つまり、一方だけが雑音成分が低い信号であっても、差を取った信号は雑音成分が大きくなるためである。

【0102】

このような構成により、初段ソースフォロアの出力インピーダンスと帯域制限容量Coutで構成される低域通過フィルタで帯域を制限できるため、出力信号中に含まれる雑音成分を小さくできる。また、この読出処理部200は、実質的に信号電荷のない期間におけるリセット電位と実質的に信号電荷のある期間の信号電位との差（出力差）を検知するCDS処理部250を内蔵しているため、CDS（相関2重サンプリング）機能により、直前の電荷をリセットしたときの電位のばらつきで発生するリセット雑音や固定パターンノイズ（FPN; Fixed Pattern Noise）も同時に抑圧することができ、S/Nの良好な信号を得ることができる。なお、電荷検出部210における変換ゲインの違いによる濃度むらは、比較的高い周波数となるので、画像上における濃度むらは視認されず、殆ど問題とならない。

【0103】

また、電荷検出部210と同様に、垂直CCD130の複数列（本例では2列

）に対して、それぞれ1つの帯域制限部230やCDS処理部250を設けるだけでよく、素子面積や消費電力の削減に寄与する。また、外付けでCDS回路を構成する必要がないので、周辺回路を削減することもできる。

【0104】

以上の構成は、2本の垂直CCD130ごとに電荷検出部210などを設けたものであるが、もちろん3本以上の垂直CCD130につき1つの電荷検出部210やCDS処理部250などを設け、さらなる時分割で使用してもよい。この構成では、電荷検出部210やCDS処理部250などの総数をさらに減らすことができるので、素子面積や消費電力を一層減らすことができる。

【0105】

図6に示した電荷検出部210は、フローティングデフュージョンを用いて構成した場合であるが、これに限らず、たとえばフローティングゲート（197391年 ISSCC DIGEST OF TECHNICAL PAPERS（アイ・エス・エス・シー・シー ダイジェスト オブテクニカルペーパー）pp154～155参照）を用いてもよい。フローティングゲートを用いると、直流分をカットした信号を得られるため、次段のアンプにおいて電源電圧の半分付近に動作点を持つていくことが容易にできる。そのため、電源電圧を最大限に用いたダイナミックレンジを得ることができる。

【0106】

図7は、読出処理部200における、電荷検出部210、帯域制限部230、CDS処理部250、および列選択部270についての、1ユニット分の第2の構成例を示す回路図である。この第2の構成例は、電荷検出部210以降の回路を、信号成分の検出系とリセット雑音成分の検出系といった2系統に分けて処理するようにしたものである。すなわち、帯域制限容量C_aを有する第1の帯域制限部230aと、帯域制限容量C_bを有する第2の帯域制限部230bとを用いて、信号成分とリセット雑音成分を別々に帯域制限することに特徴がある。

【0107】

電荷検出部210と信号成分検出系の帯域制限部230aとの間には、信号成分選択MOSトランジスタ220aが配され、帯域制限部230aは、信号成分用帯域制限容量C_aを有する。帯域制限部230aと出力信号線290との間に

は、信号成分用列選択MOSトランジスタ222aが配されている。また、電荷検出部210とリセット雑音成分検出系の帯域制限部230baとの間には、リセット雑音成分選択MOSトランジスタ220bが配され、帯域制限部230bは、リセット雑音成分用帯域制限容量を有する。帯域制限部230bと出力信号線290との間には、リセット雑音成分用列選択MOSトランジスタ222bが配されている。電荷検出部210やその周辺部は、第1の構成例と同様である。

【0108】

第1の構成の動作において、端子Aに信号成分が入力されているときには、信号成分選択MOSトランジスタ220aをオンに、端子Aにリセット雑音成分が入力されているときは、リセット雑音成分選択MOSトランジスタ220bをオンにする。すると、信号成分用帯域制限容量Caに信号成分が、リセット雑音成分用帯域制限容量Cbにリセット雑音成分が蓄積する。そして、列が選択されたときにリセット雑音成分用列選択MOSトランジスタ222bと信号成分用列選択MOSトランジスタ222aを順にオンする。すると、出力信号線290には、リセット雑音成分と信号成分が順に出力され、外付けのCDS回路に入力される。

【0109】

CDS回路で発生する雑音は、図6で示されるクランプ容量CLとホールド容量Chに依存している。これらの容量をできるだけ大きくすると発生する雑音は小さくなる。この第2の構成例では、リセット雑音成分と信号成分を順に出力することにより、外付けでCDS処理を施すことができる。外付けでCDS処理を施すことにより、クランプ容量CLとホールド容量Chの値を大きくすることができるため、CDS回路で発生する雑音を小さくすることができる。

【0110】

図8は、読出処理部200の後段に繋がる信号処理回路を含めた撮像装置1の全体構成の一例を示したブロック図である。ここでは、第1実施形態のCCD固体撮像素子10を使用して撮像装置1から画像を再生するためのシステムブロック図を示す。

【0111】

信号処理部 3 0 0 は、出力信号線 2 9 0 と接続され、アナログの撮像信号をデジタルの撮像データに変換する A/D 変換部 3 1 0 と、デジタル化された撮像データを 1 画面分ずつ記憶する画像記憶部（フィールドメモリ）3 2 0 と、画像記憶部 3 2 0 のデータ書込みや読出しを制御するメモリ制御部 3 3 0 とを有する。画像記憶部 3 2 0 とメモリ制御部 3 3 0 とにより、本発明に係る水平列整合部が構成される。すなわち、読出処理部 2 0 0 から出力された奇数列と偶数列のそれぞれの撮像信号の個々の画素信号を奇数列と偶数列との並びに応じて水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る水平列整合部として機能する。

【0 1 1 2】

また信号処理部 3 0 0 は、画像記憶部 3 2 0 から読み出されたビデオデータをアナログ信号に変換する D/A 変換部 3 4 0 と、D/A 変換部 3 4 0 によりアナログ信号に変換されたビデオ信号に基づいて、放送フォーマットの一例である NTSC 信号を生成する NTSC コンバータ 3 5 0 と、NTSC コンバータ 3 5 0 から出力された NTSC 信号に基づいて可視画像を表示するディスプレイ 3 6 0 とを有する。

【0 1 1 3】

この構成にいて、各感光部 1 2 0 で光電変換された信号電荷は、それぞれ対応する垂直 CCD 1 3 0 に読み出される。垂直 CCD 1 3 0 に読み出された信号電荷は、互いに隣接する複数ラインを 1 組としてフローティングデフュージョン F D を介して電荷検出部 2 1 0 に時分割で順に並列に転送される。

【0 1 1 4】

電荷検出部 2 1 0 に転送された各垂直列の信号電荷は、電荷検出部 2 1 0 にて電圧信号に変換され、CDS 処理部 2 5 0 によりオフセットノイズや固定パターンノイズが抑制され、列選択パルス生成部 2 8 0 による列選択部 2 7 0 に対する水平走査機能により、撮像エリア 1 0 0 における個々の感光部 1 2 0 に対応する撮像信号が時系列で出力信号線 2 9 0 から出力される。

【0 1 1 5】

出力信号線 2 9 0 から時系列で出力された個々の感光部 1 2 0 に対応する撮像

信号は、信号処理部 300 に入力され、A/D 変換部 310 により A/D 変換されて画像記憶部 320 に格納される。画像記憶部 320 にはメモリ制御部 330 が接続されており、蓄積領域のアドレス設定、読み出し順序の制御などが行なわれる。

【0116】

第 1 実施形態の CCD 固体撮像素子 10 の場合には、垂直 CCD 130 の奇数列と偶数列の各信号電荷が時分割で読出処理部 200 に転送され電圧信号に変換された後、列選択パルス生成部 280 による列選択部 270 に対する水平走査機能により、撮像エリア 100 における個々の感光部 120 に対応する撮像信号が時系列化される。したがって、水平走査期間ごとに、前半の水平走査期間には、奇数列についてのみ時系列化された撮像信号が最初に出力され、その後、後半の水平走査期間には、偶数列についてのみ時系列化された撮像信号が出力される。

【0117】

この奇数列と偶数列とが時分割で出力された撮像信号がデジタル化されて画像記憶部 320 側に送られてくるが、メモリ制御部 330 により、撮像エリア 100 の画素位置に対応するように書込み時の画像記憶部 320 のアドレスを設定することで、撮像エリア 100 上の撮像画像情報と画像記憶部 320 の画像情報とが同一の配列となる。

【0118】

このようにして、たとえば格納領域 320-1 ~ 320-(2n-1) には、垂直 CCD 130 における奇数列にあった信号電荷に対応する画像データを格納させ、格納領域 320-2 ~ 320-(2n) には、垂直 CCD 130 における偶数列にあった信号電荷に対応する画像データを格納させることができる。

【0119】

画像を再生する場合には、画像記憶部 320 内の格納領域 320-1 ~ 320-2n について、画像データを順にシリアルデータとして読み出し、D/A 変換部 340、NTSC コンバータ 350 を介してディスプレイ 360 に表示する。

【0120】

なお、前例では、撮像エリア 100 上の撮像画像情報と画像記憶部 320 の画

像情報とが同一の配列となるように、メモリ制御部330により、画像記憶部320へのデータ格納時に書込み位置を制御していたが、書込み時ではなく読出時に制御してもよい。すなわち、まず、画像記憶部320についての格納領域の模式図を図8(B)に示すように、画像記憶部320の格納領域を奇数列領域と偶数列領域とに分け、書込時にはA/D変換部310から奇数列分と偶数列分とで順に入力されるデータを、それぞれの格納領域にデータの入力順に格納する。そして読出時には、分けておいた奇数列領域と偶数列領域とから、各水平走査期間内で、A、B、C、D、奇数列と偶数列のデータを交互に読み出してD/A変換部340に供給する。このようにすることで、撮像エリア100上の撮像画像情報とディスプレイ360上の画像とを同一の配列にすることができる。

【0121】

また、図示しないが、画像記憶部320としてフィールドメモリを使う代わりに、奇数列および偶数列のそれぞれについて半ライン分の画素数に応じた段数のシフトレジスタ(FIFOメモリ)およびシフトレジスタを切り替える選択回路を使用することにより、撮像エリア100上の撮像画像情報の配列順に合った1水平ライン分の時系列の信号に変換(データを水平方向に順に並ぶように並び換える)することもできる。

【0122】

以上説明したように、第1実施形態の撮像装置1によれば、CCD固体撮像素子の画素数を多くした際に問題になる水平CCDのクロック周波数が限界になる問題を、水平CCDを用いずに、複数の垂直CCDを1組として時分割で電荷検出部(前例ではフローティングデフュージョンを利用したアンプFDA)に転送し、この電荷検出部にて電圧信号に変換し、その後、この垂直列の電圧信号を水平方向に順に切り替えて読み出すことで解決できる。垂直列を時分割で読み出すことによるデータ系列の並び替えは、比較的簡単な回路で実現できるので、問題ない。

【0123】

加えて、時分割ではあるものの、垂直CCDごとに信号電荷を読み出すことができるので、多画素化のために生じる1画素当たりの感度低下を、隣接画素(も

しくは2画素離れた所にある同色画素)の信号を利用して、補完することができる。

【0124】

また、複数列の垂直CCDをまとめて電荷検出部(前例ではフローティングデフュージョンアンプFDA)に繋げるときに、列によって垂直CCDの長さ、すなわち垂直転送電極で規定されるレジスタ(バケット)の段数を変え、電荷検出部に到達するときの電荷転送の位相を反転させることによって、垂直転送電極を共用しても、垂直CCD列選択のための選択ゲートを複数(前例では2つ)用いることなく、1つで電荷検出部に読み出すことができる。その結果、電荷検出部周辺の配線数を減らすことができ、固体撮像素子の微細化に関して、CDS回路やその他の回路の内蔵といった点において面積を有効に活用することができる。

【0125】

また、時分割ではあるものの、実質的には、各垂直CCDごとに電荷検出部が設けられることになるため、電荷検出部には1水平走査期間に数回(1つの電荷検出部が担当する垂直列と同数)分の信号しか入力されず、信号の周波数帯域は大幅に小さくなる。そこで、電荷検出部を構成するアンプの周波数帯域をローパスフィルタを用いて制限することができる。これにより、同時にトランジスタで発生する熱雑音の帯域も制限することができ、雑音成分を小さくすることができる。そして、信号帯域を下げることができるため、それだけ帯域制限部により雑音帯域も狭くすることができ、S/N比の良好な画像を得ることができる。

【0126】

図9は、第1実施形態のCCD固体撮像素子10の変形例を説明する図であって、垂直CCD130と読出処理部200との境界部分近傍の平面模式図である。ここで、図9(A)に示す第1の変形例は、隣接する垂直列の2組をさらに1つのグループにし、2つの組のダミー垂直CCD132の段数の配置形態を互い違いにすることで、隣接する選択ゲートVOG用の電極を接続して、引出線を共用するようにしたものである。

【0127】

つまり、2組の中心線を境にしてこの中心線からの距離に応じてダミー垂直C

CD132の段数が順次に変わるようにしている。また、この図9(A)に示す第1の変形例では、さらに、前記2組の中心線とは異なる位置の中心線で隣接するリセットゲート線も接続して、引出線を共用可能にしている。この第1の変形例の形態によれば、隣接する他の組との間で、選択ゲートVOG用やリセットゲート線用の電極を接続したので、引出線をさらに少なくすることができる。

【0128】

なお、図9(A)では、たとえば、カラムAとカラムBの隣接する垂直列の組およびカラムCとカラムDの隣接する垂直列の組の2組を1つのグループにし、カラムE、Fの組およびカラムG、Hの2組を1つのグループにし、カラムBとカラムCとの間にて選択ゲートVOG用の電極を接続する一方、カラムDとカラムEとの間のリセットゲート線を接続しているが、これとは異なるグルーピングにしてもよい。

【0129】

たとえば、カラムC、Dの組およびカラムE、Fの2組を1つのグループにし、同じくカラムD、E間で選択ゲートVOG用の電極を接続してもよい。図9(B)に示す第2の変形例は、この形態をさらに発展させたもので、選択ゲートVOG用の電極を全て接続し、選択ゲート電極の引出線をなお一層少なくすることができるようにしている。この場合、引出線の本数は基本的には1つでよいが、線抵抗の問題が生じる。したがって、実際には、線抵抗と配線の困難性とのバランスを考慮して、選択ゲートVOG用の電極と引出線との取付位置を決定するとよい。

【0130】

図10は、第1実施形態のCCD固体撮像素子10において、4相駆動の垂直転送パルス $\phi V1 \sim \phi V4$ を使用する場合におけるタイミングチャートの変形例、並びに電極と信号電荷の位置関係を説明する図である。この変形例は、垂直転送パルス $\phi V1 \sim \phi V4$ を90度ずらしで駆動する点に特徴を有する。

【0131】

この変形例では、電極と信号電荷の位置関係の図から分かるように、奇数列については、パケットV4の信号電荷がフローティングデフュージョンFDに転送

される際には相手方の偶数列についてはパケットV3が障壁として作用し、また、偶数列については、パケットV2の信号電荷がフローティングデフュージョンFDに転送される際には相手方の奇数列についてはパケットV1が障壁として作用するという利点を得られる。

【0132】

なお、この変形例は、蓄積パケットサイズが、後述する3相駆動と同じく、1電極分で効率が前述の基本形よりも劣る。しかしながら、この問題は、電源電圧VDDを高くして電圧ポテンシャルの深さで稼ぐことで解消することができる。

【0133】

図11は、第2実施形態のCCD固体撮像素子10を説明する図であって、垂直CCD130と読出処理部200との境界部分近傍の平面模式図である。この第2実施形態のCCD固体撮像素子10は、3本の垂直転送電極V1～V3を垂直CCD130上に設け3相の垂直転送パルス $\phi V1 \sim \phi V3$ にて駆動する（3電極/3相駆動という）ようにしたものである。

【0134】

電荷検出部210の選択ゲートVOG側と撮像エリア100の垂直CCD130との間には、ダミー垂直CCD132が設けられている。垂直CCD130の転送電極V1～V3およびダミー垂直CCD132の転送電極V1～V3には、共通に、順に所定タイミングの垂直転送パルス $\phi V1 \sim \phi V3$ が印加される。

【0135】

ダミー垂直CCD132の長さ（レジスタの段数）は、カラムA, D, G, ... など $3n-2$ 番目（ n は1以上の整数；以下第1列という）については転送電極V1～V3に相当する3段、カラムB, E, H, ... など $3n-1$ 番目（ n は1以上の整数；以下第2列という）については転送電極V1～V3の3段に加えてさらにV1の1段、カラムC, F, I, ... など $3n$ 番目（ n は1以上の整数；以下第3列という）については転送電極V1～V3の3段に加えてさらにV1, V2の2段が設けられている。つまり垂直CCD130およびダミー垂直CCD132の全体からなる垂直CCDの長さ（電極に対応するレジスタの段数）を、1つのレジスタ分ずつ違えてある。要するに、グルーピングした3列について、一方

の列からの距離に応じて段数が順次に増加または減少するようにしている。

【0136】

図12は、第2実施形態のCCD固体撮像素子10における、垂直CCD130およびダミー垂直CCD132を駆動する垂直転送パルス $\phi V1 \sim \phi V3$ と、電荷転送との関係を説明する図である。ここで、図12(A)は、3相駆動の垂直転送パルス $\phi V1 \sim \phi V3$ の基本形のタイミングチャートである。また図12(B)は、垂直CCD130およびダミー垂直CCD132における電圧ポテンシャルと電荷転送の関係を示す模式図である。また図12(C)は、フローティングデフュージョンFDへの電荷転送のタイミング（垂直列による位相差）を説明する図である。図12(C)において、太線で囲んだ部分は信号電荷が存在する部分である。

【0137】

前述のように、垂直CCD130およびダミー垂直CCD132の各転送電極V1～V3に対応するレジスタ（電荷井戸；チャージパケット）は、図12(A)に示す垂直転送パルス $\phi V1 \sim \phi V3$ で共通に駆動される。

【0138】

そして、図12(B)に示すように、3つの転送電極V1、V2、V3を、図の左側から順に繰り返して配列した電極構造において、転送電極V1に1相目の垂直転送パルス $\phi V1$ を、転送電極V2に2相目の垂直転送パルス $\phi V2$ を、転送電極V3に3相目の垂直転送パルス $\phi V3$ を、それぞれ印加するものとする。

【0139】

3電極のうち中央の電極に他の2つの電極より高電圧が加えられることで、中央電極の下に電圧ポテンシャルが深く、両隣の電極下の電圧ポテンシャルが浅くなり、中央電極の下に電荷井戸が形成されて信号電荷が蓄積され、両隣電極下は障壁となり信号の混入を防止する。そして、次に両隣電極のうちの片側の電極を低電圧に保ったまま、他方の電極を高電圧にして、中央の電極を徐々に高電圧から低電圧に変化させると、電圧ポテンシャルが移動し、蓄積されていた信号電荷に電界が加わり移動していく（電荷が転送される）。この動作を繰り返すことによって、信号電荷を蓄積し、任意の方向に移動させることができる。

【0140】

たとえば、時刻T1では電極V1が高電圧、他の電極V1, V3は低電圧であるから、電極V1の下に深い電荷井戸が形成され、電極V2, V3の下は浅い井戸で障壁が形成されるから、信号電荷は電極V1の下に蓄積される。

【0141】

時刻T1からT2では、電極V2の電圧は低電圧から高電圧に変化し、電極V2の下は徐々に深くなる。信号電荷は電極V1の下から電極V2の下に拡散で移動し始める。このとき電極V3は低電圧のままであるから、浅い井戸は変化せず、障壁となって信号電荷の混入や流出を防いでいる。

【0142】

次に時刻T2からT3では、電極V2, V3の電圧は一定のまま、電極V1の電圧が高電圧から低電圧に次第に下がるので、電極V1の下は浅くなって、信号電荷が電極V2の下に移動するのを助長する。時間T3になると一連の動作が終了し、電極V1の下にあった信号電荷が電極V2の下に移動し、1電極分だけ信号電荷が移動したことになる。つまり、時刻T1から時刻T3までの一連の駆動により、転送電極V1の下は信号電荷が、転送電極V2の下まで転送される。この時刻T1～時刻T3は、垂直転送パルス $\phi V1 \sim \phi V3$ の1周期のほぼ $1/3$ である。

【0143】

同様にして、時刻T3からT4では、電極V3の電圧は低電圧から高電圧に変化し、電極V3の下は徐々に深くなる。信号電荷は電極V2の下から電極V3の下に拡散で移動し始める。このとき電極V1は低電圧のままであるから、浅い井戸は変化せず、障壁となって信号電荷の混入や流出を防いでいる。

【0144】

次に時刻T4からT5では、電極V1, V3の電圧は一定のまま、電極V2の電圧が高電圧から低電圧に次第に下がるので、電極V2の下は浅くなって、信号電荷が電極V3の下に移動するのを助長する。時間T5になると一連の動作が終了し、電極V2の下にあった信号電荷が電極V3の下に移動し、さらに1電極分だけ信号電荷が移動したことになる。つまり、時刻T3から時刻T5まで

の一連の駆動により、転送電極V2の下に信号電荷が、転送電極V3の下まで転送される。この時刻T3～時刻T5は、垂直転送パルス $\phi V1 \sim \phi V3$ の1周期のほぼ1/3である。

【0145】

さらに同様にして、時刻T5からT6では、電極V1の電圧は低電圧から高電圧に変化し、電極V1の下に井戸は徐々に深くなる。信号電荷は電極V3の下から電極V1の下に拡散で移動し始める。このとき電極V2は低電圧のままであるから、浅い井戸は変化せず、障壁となって信号電荷の混入や流出を防いでいる。

【0146】

次に時刻T6からT7では、電極V1、V2の電圧は一定のまま、電極V3の電圧が高電圧から低電圧に次第に下がるので、電極V3の下に井戸が浅くなって、信号電荷が電極V1の下に移動するのを助長する。時間T7になると一連の動作が終了し、電極V3の下にあった信号電荷が電極V1の下に移動し、さらに1電極分だけ信号電荷が移動したことになる。つまり、時刻T5から時刻T7までの一連の駆動により、転送電極V3の下に信号電荷が、転送電極V1の下まで転送される。この時刻T5～時刻T7は、垂直転送パルス $\phi V1 \sim \phi V3$ の1周期のほぼ1/3である。

【0147】

以上のことから分かるように、3相駆動では、3相パルス波形の1/3周期で1電極分の転送ができ、1周期で3電極分の電荷転送が完了する。つまり、時刻T1から時刻T7までの間連続して3相の垂直転送パルスを印加すれば、信号電荷をV1→V2→V3→V1→V2→V3へと一定の方向へ転送させることができ、時刻T1にて転送電極V1の下に蓄積されていた信号電荷が、1画素分だけ離れた転送電極V1の下まで転送される。そして、時刻T1と時刻T3、時刻T3と時刻T5、時刻T5と時刻T7（T1と等価）とでは、それぞれ電荷転送が120度ずれた状態となっている。

【0148】

このように、上記によれば、3相駆動の1/3周期（120度位相ずれ）で1電極分を電荷転送でき、1周期で3電極分の電荷転送ができる。つまり、この駆

動方式では、第1列、第2列、第3列の各ダミー垂直CCD132について、垂直転送電極1つつ（1レジスタ分）を遅えることで、第1列、第2列、および第3列とに垂直転送電極V1～V3を共通に使用しても、電荷検出部210に信号電荷が到達する位相が120度ずれた状態を形成できる。

【0149】

なお、この第2実施形態においても、電荷転送が120度ずれた状態を形成するには、垂直転送電極V1～V3を共用するのではなく、第1列、第2列、および第3列とについて、それぞれ独立に駆動可能な垂直転送電極V1～V3を使用してもよい。この場合、ダミー垂直CCD132は不要となり、垂直CCDは同じ長さであってもかまわない。ただし、第1列、第2列、および第3列のそれぞれについて、独立に垂直転送電極V1～V3をレイアウト（形成）する必要がある。

【0150】

図13は、第2実施形態のCCD固体撮像素子を使用する場合における、垂直転送と水平方向の読出しを説明するタイミングチャートであり、1水平走査期間における、垂直方向へ電荷転送と出力信号線290から時系列の撮像信号を得るまでの全体像を示している。

【0151】

前述のように、垂直CCD130およびダミー垂直CCD132の各転送電極V1～V3に対応するレジスタ（電荷井戸）は、全て同一の垂直転送パルス $\phi V1 \sim \phi V3$ で駆動される。また、選択ゲートパルス ϕVOG およびリセットゲートパルス ϕRG は、対応する電極が共通に形成されているので、当然に、奇数列と偶数列とで共通に使用される。

【0152】

図13に示す1つの水平期間における奇数列あるいは偶数列の各読出期間の期間に、選択ゲートパルス ϕVOG により選択ゲートVOGをオンさせた状態で、垂直転送パルス $\phi V1 \sim \phi V3$ を図示したタイミングで駆動することで、垂直転送パルス $\phi V1 \sim \phi V3$ 下部のレジスタに蓄積されていた奇数列および偶数列の各信号電荷は順次、並列的（同時）にダミー垂直CCD132側に転送され、電

荷検出部 210 にて電圧信号に変換される。

【0153】

ここで、ダミー垂直 CCD 132 において、第 1 列、第 2 列、および第 3 列のレジスタ（電荷井戸）は 1 段分ずれており、垂直転送パルス $\phi V1 \sim \phi V3$ の 1 周期（図示した T1 ~ T7）において、信号電荷が 120 度ずれてフローティングデフュージョン FD に到達するようにされている。このため、第 1 列の信号電荷がフローティングデフュージョン FD に到達したときには、他の第 2 列および第 3 列の信号電荷はまだ到達しない。同様に、第 2 列の信号電荷が到達したときには、他の第 1 列および第 3 列の信号電荷はまだ到達しないし、第 3 列の信号電荷が到達したときには、他の第 1 列および第 2 列の信号電荷はまだ到達しない。

【0154】

つまり、第 1 列は “T1 → T2 → … T6 → T7 (T1)” で 1 サイクル分の垂直転送が完結し、第 2 列は “T3 → T4 → … T2 → T3” で 1 サイクル分の垂直転送が完結し、第 3 列は “T5 → T6 → … T4 → T5” で 1 サイクル分の垂直転送が完結する。そして、垂直転送パルス $\phi V1 \sim \phi V3$ がそれぞれ 120 度ずれた時点で、各列の信号電荷をフローティングデフュージョン FD 側に掃き出すことができる。

【0155】

垂直転送の位相とそれに伴うダミー垂直 CCD 132 の段数、フローティングデフュージョン FD に到達する位相ずれの程度などが異なるものの、基本的には、第 1 実施形態の 4 電極 / 4 相駆動と同様にして、選択ゲート VOG や列選択パルス SP (n) を制御することで、1 画面分の信号電荷に応じた時系列の撮像信号を出力信号線 290 から出力することができる。つまり、水平 CCD を用いずに信号電荷に対応した撮像信号を得ることができる。

【0156】

たとえば、図示するように、選択ゲートパルス ϕVOG をオンさせて T1b (T7b) ~ T3a で垂直転送し、選択ゲートパルス ϕVOG をオフさせて水平走査することで第 1 列撮像信号の出力信号線 290 への出力を完結させ、その後、リセットゲートパルス ϕRG をオンさせてフローティングデフュージョン FD を

クリアにした後、選択ゲートパルス ϕ VOGをオンさせてT3b～T5aにて垂直転送し、選択ゲートパルス ϕ VOGをオフさせて水平走査することで第2列撮像信号の出力信号線290への出力を完結させる。

【0157】

さらにその後、リセットゲートパルス ϕ RGをオンさせてフローティングデフュージョンFDをクリアにした後、選択ゲートパルス ϕ VOGをオンさせてT5b～T7a (T1a) にて垂直転送し、選択ゲートパルス ϕ VOGをオフさせて水平走査することで第3列撮像信号の出力信号線290への出力を完結させる、という処理を繰り返すことで、1水平走査期間分の信号電荷に応じた時系列の撮像信号を出力信号線290から出力することができる。そして、この1水平走査期間分の処理を順に繰り返すことで、1画面分の信号電荷に応じた時系列の撮像信号を出力信号線290から出力することができる。

【0158】

このように、3相駆動の形態に合わせたCCD固体撮像素子10であっても、隣接する垂直CCDの複数列の段数を違えて1組に纏めて1つの電荷検出部に割り当てることで、各列に共通の転送電極を使用することや、その複数列に共通の選択ゲートを使用することができ、配線上の制約を大幅に減らすことができる。たとえば、各列の各信号電荷を時分割で順次電荷検出部側に読み出すことができる。また、フローティングデフュージョンFDを使用した電荷検出部210とする場合、その複数列に共通の選択ゲートVOGを駆動することにより、選択ゲートVOGに繋がる配線の数減らすことができるなど、4相駆動の場合と同様の効果を享受することができる。

【0159】

なお、図示しないが、3相駆動用のCCD固体撮像素子10であっても、図9に示したように、隣接する3つの垂直列からなる1組を複数纏めてさらに1つのグループにし、その複数组のダミー垂直CCD132の段数の配置形態を互い違いにすることで、隣接する選択ゲートVOG用の電極を接続することで、引出線を共用することもできる。

【0160】

図14は、第3実施形態のCCD固体撮像素子10を説明する図である。この第3実施形態は、隣接する2つの垂直CCDを1組に纏めて1つの電荷検出部に割り当てるという点で、第1実施形態のCCD固体撮像素子10と共通するが、ダミー垂直CCD132を設けておらず、その垂直CCDの段数は同じままである。つまり、2列の垂直CCD130を1つのフローティングデフュージョンアンプFDA構成の電荷検出部210で読み出すようにしている。

【0161】

図14(A)に示すように、フローティングデフュージョンを挟む各垂直CCD130の反対側から選択ゲートVOGの配線を繋ぐことができるので、3つ以上を纏めて1つの電荷検出部210に割り当てる構成では中央部の選択ゲートVOGへの配線スペースが問題となるのに比べると、配線上の制約は減るので、比較的、実パターンでも問題はない。

【0162】

ただし、図14(B)に示すように、垂直CCD130の選択ゲート用の配線が垂直CCD130の数だけ必要であることには変わらないので、その配線が面積中に占める割合は、第1あるいは第2の実施形態の構成より、大きくなってしまふ。

【0163】

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0164】

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組み合わせにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この構成要件が削除された構成が発明とし

て抽出され得る。

【0165】

たとえば、上記実施形態では4電極/4相駆動や3電極/3相駆動に適した一例を説明したが、垂直転送電極の数や転送パルスの位相関係は、上述したタイミングのものに限定されない。また、転送パルスとの関わりで、2列や3列に限らず、より多くの列を1つの電荷検出部に割り当てることもできる。

【0166】

要するに、隣接する複数の垂直列を1つの電荷検出部に割り当てたとき、同一水平列の信号電荷が、それぞれ異なる位相で電荷検出部に到達するように、ダミー垂直転送部（実質的に垂直CCDと同じ）の段数や垂直転送電極の配置あるいは垂直転送パルスのタイミングを適宜変更すればよい。ダミー垂直転送部の段数や垂直転送電極の配置が同じであって、駆動方法のみが異なる、つまり転送パルスのタイミングのみが異なるものであってもよい。

【0167】

また、上記実施形態ではインターライン転送型のCCD固体撮像素子に適用したもので説明したが、これに限らず、フレームインターライン転送型、フルフレーム転送型、フレーム転送型など、他の転送方式のCCD固体撮像素子に適用してもよい。

【0168】

さらに、垂直転送部をCCDの代わりにCSD (charge swept device) に置き換えるなど、電荷転送部の形式も、他のものを使用することができる。

【0169】

【発明の効果】

以上のように、本発明の第1の形態による固体撮像素子（たとえば第1、第2実施形態）は、隣接する複数の垂直列を纏めて1つの電荷検出部に割り当て、さらに、電荷検出部との間の垂直転送の段数を違える、電極配置を工夫する、あるいは駆動パルスタイミングを調整するなどして、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成した。これにより、複数垂直列に対して選択ゲートVOG

を独立に設ける必要がなくなり、配線上の制約が非常に少なくなり、後段のCDS回路などのスペースを確保することができる。

【0170】

また、2列分を1つの電荷検出部に割り当て、垂直列からの電荷転送を制御する切替機構（前例の選択ゲートVOG）を独立に設けた第2の形態（たとえば第3実施形態）では、第1の形態よりも選択ゲートへの配線数は増えるが、中央部の選択ゲートへの配線スペースは問題とならない。

【0171】

このように、本発明の固体撮像素子は、各列に共通の垂直転送電極を使用することや、その複数列に共通の選択ゲートを使用して配線上の制約を減らしつつ、電荷検出部にて変換された各垂直列の画素信号を水平方向に順次切り替えることで水平方向の信号取り出しを実現するので、水平方向用の電荷転送部（水平CCDなど）を用いずに、信号電荷に対応した撮像信号を得ることができる。

【0172】

水平方向用の電荷転送部を用いないので、固体撮像素子の画素数を多くした際に問題になる水平クロック周波数が限界になる問題を解消できる。

【0173】

垂直列ごとに信号を読み出すことができるので、多画素化のために生じる一画素当たりの感度低下を、隣接画素（もしくは2画素離れた所にある同色画素）の信号を利用して、補完することができる。

【図面の簡単な説明】

【図1】

本発明に係るCCD固体撮像素子を用いた撮像装置の第1実施形態を示す概略構成図である。

【図2】

第1実施形態のCCD固体撮像素子における、垂直CCDと読出処理部との境界部分近傍を示した模式図である。

【図3】

第1実施形態のCCD固体撮像素子10における、垂直CCD130およびダ

ミ-垂直CCD132を駆動する垂直転送パルス $\phi V1 \sim \phi V4$ と、電荷転送との関係を説明する図である。

【図 4】

垂直転送電極の配置を変えることで、電荷転送を逆相にする一例を説明する図である。

【図 5】

第1実施形態のCCD固体撮像素子における、垂直転送パルスと電荷転送との関係を説明する図である。

【図 6】

読出処理部における、1ユニット分の第2の構成例を示す回路図である。

【図 7】

読出処理部における、1ユニット分の第2の構成例を示す回路図である。

【図 8】

読出処理部の後段に繋がる信号処理回路を含めた撮像装置の全体構成の一例を示したブロック図である。

【図 9】

第1実施形態のCCD固体撮像素子の変形例を説明する図である。

【図 1 0】

第1実施形態のCCD固体撮像素子を4相駆動する場合の変形例を説明する図である。

【図 1 1】

第2実施形態のCCD固体撮像素子10における垂直CCDと読出処理部との境界部分近傍の平面模式図である。

【図 1 2】

第2実施形態のCCD固体撮像素子における、垂直転送パルスと電荷転送との関係を説明する図である。

【図 1 3】

第2実施形態のCCD固体撮像素子を使用する場合における、垂直転送と水平方向の読出しを説明するタイミングチャートである。

【図14】

第3実施形態のCCD固体撮像素子を説明する図である。

【図15】

従来型のCCD固体撮像素子を表したものである。

【図16】

従来型CCD固体撮像素子を駆動する転送パルスのタイミングチャートの模式図である。

【図17】

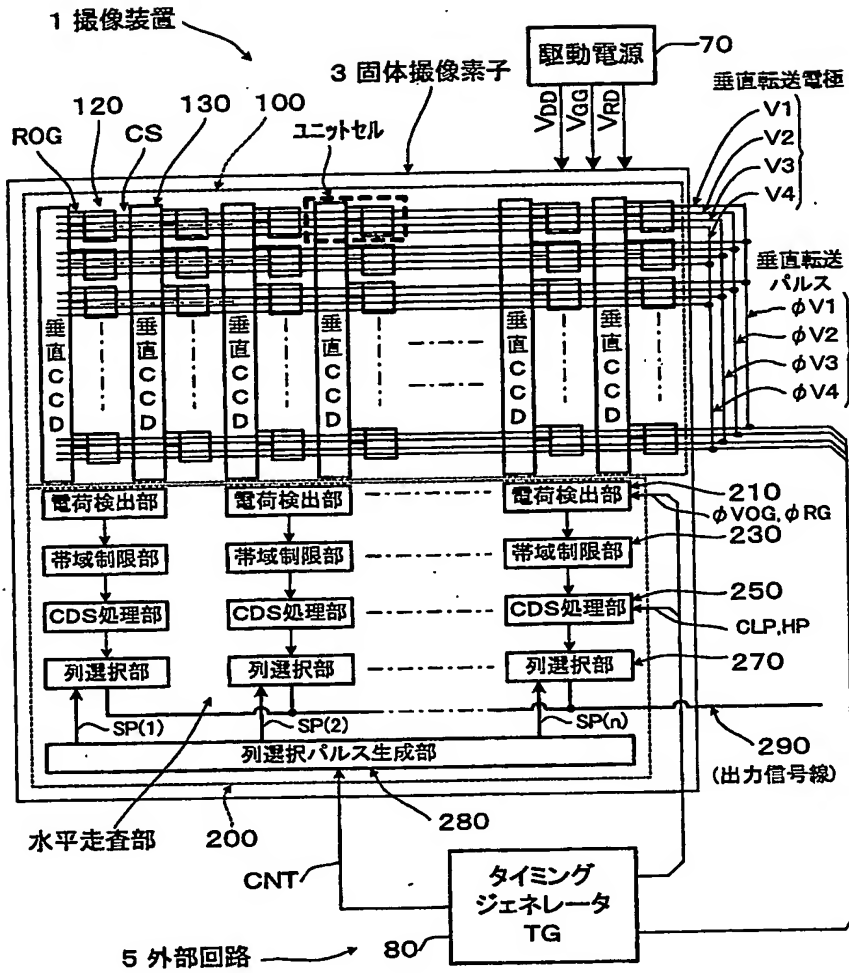
従来型の「スキヤニング読出方式」の問題を説明する図である。

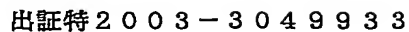
【符号の説明】

1…固体撮像装、10…CCD固体撮像素子、70…駆動電源、80…タイミングジェネレータ、100…撮像エリア、120…感光部、130…垂直CCD（垂直列電荷転送部）、132…ダミー垂直CCD（ダミー電荷転送部）、200…読出処理部、210…電荷検出部、230…帯域制限部、250…CDS処理部、270…列選択部、280…列選択パルス生成部、290…出力信号線、30…外部回路、300…信号処理部、310…A/D変換部、320…画像記憶部、330…メモリ制御部、340…D/A変換部、350…NTSCコンバータ、360…ディスプレイ

【書類名】 図面

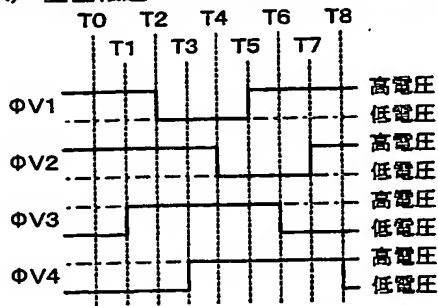
【図 1】



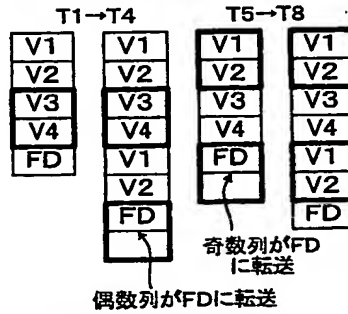


【図3】

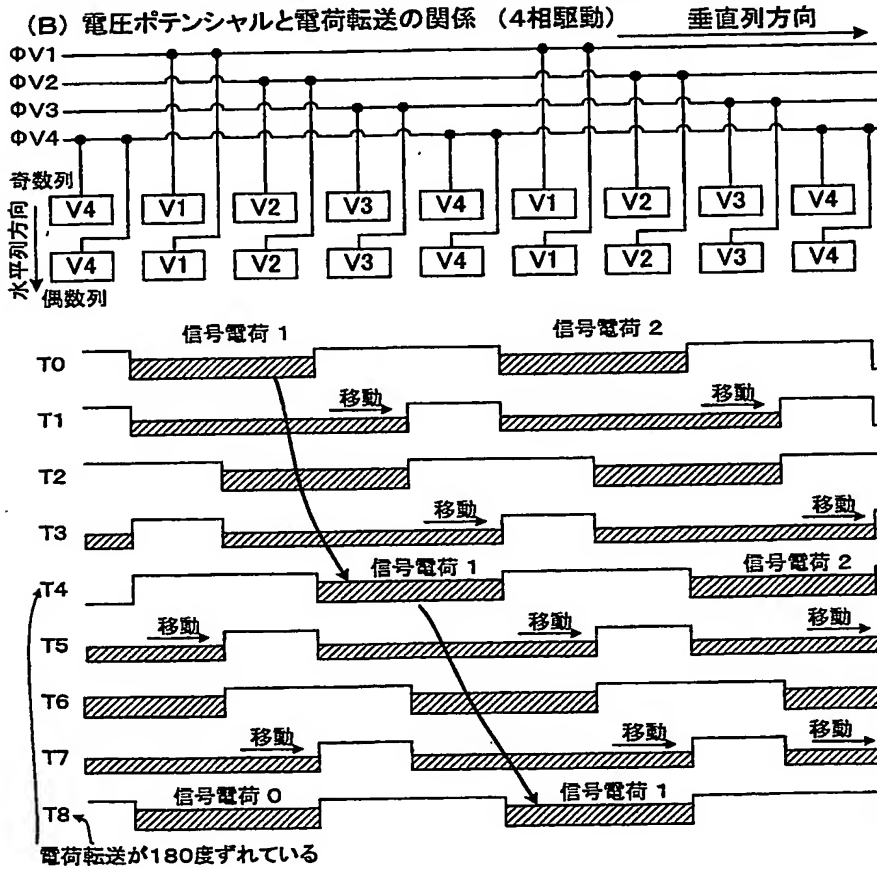
(A) 垂直転送パルスの基本形 (4相駆動)



(C) FDへの転送タイミング

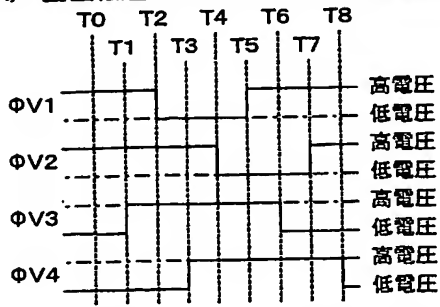


(B) 電圧ポテンシャルと電荷転送の関係 (4相駆動)

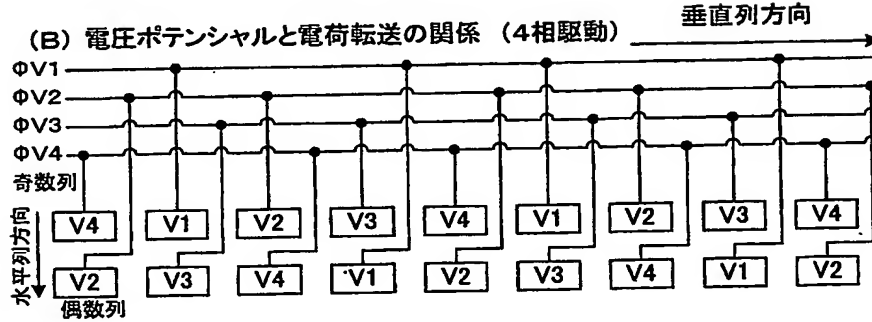


【図4】

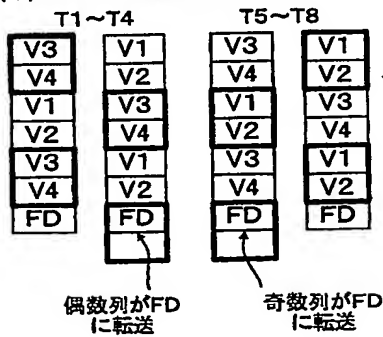
(A) 垂直転送パルスの基本形（4相駆動）



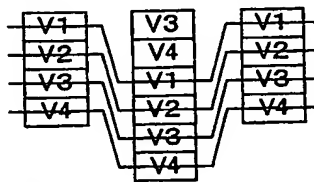
(B) 電圧ポテンシャルと電荷転送の関係（4相駆動）



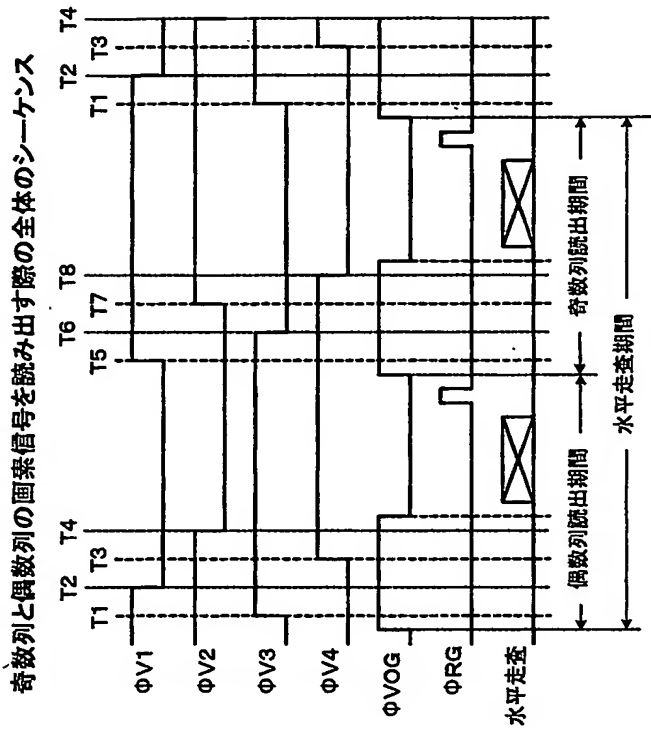
(C) FDへの転送タイミング



(D) パターニングの模式図



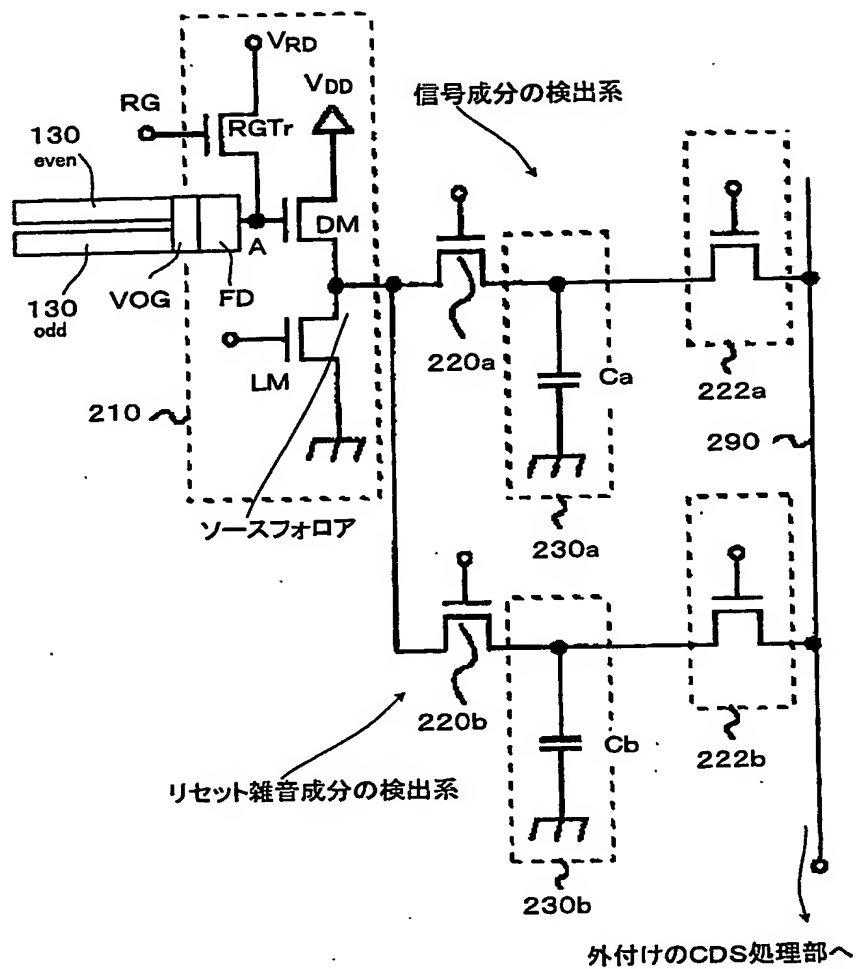
【図5】



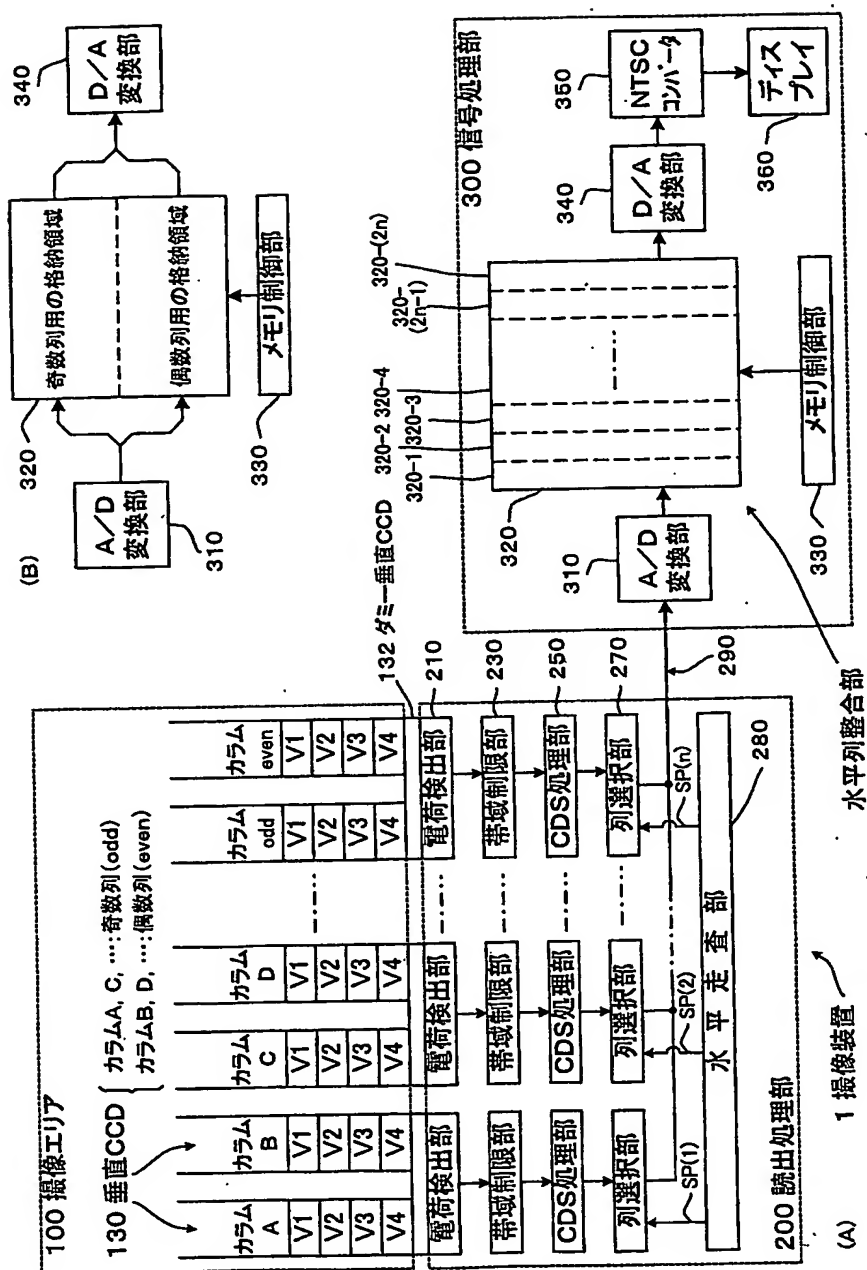
【圖 6】



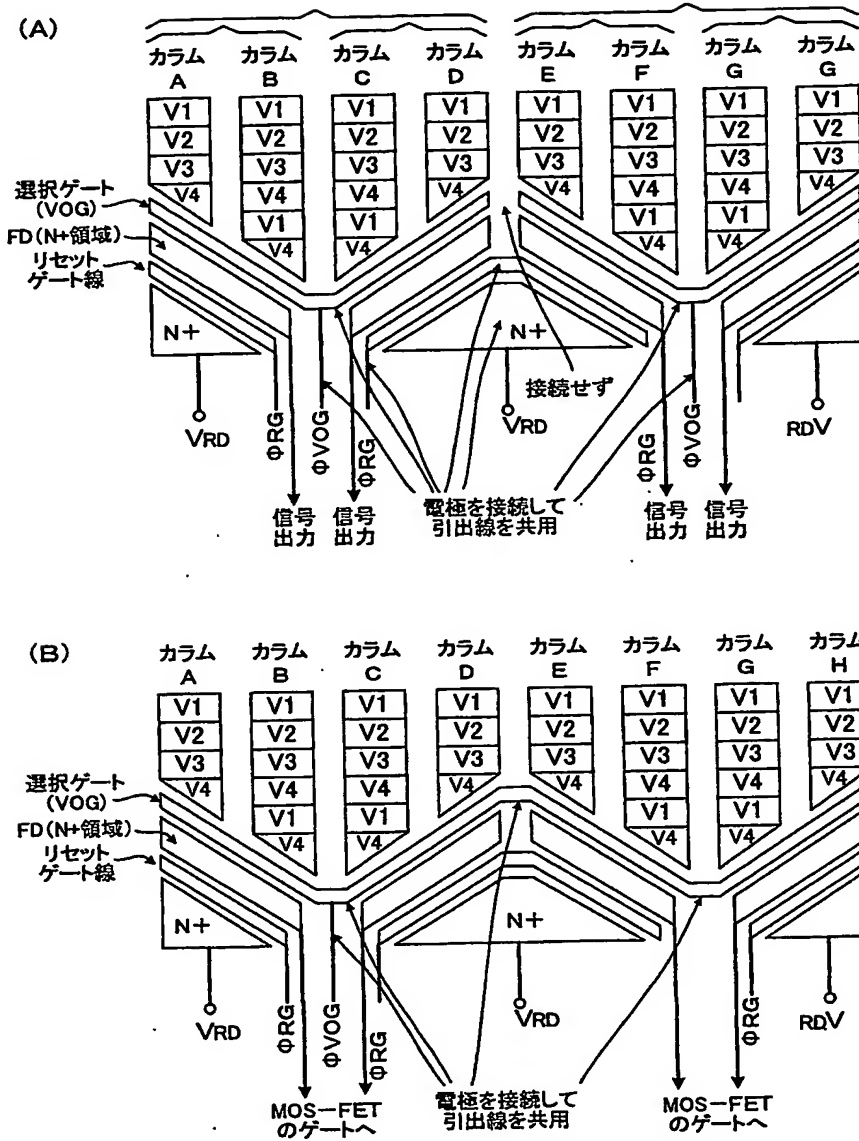
【図7】



【図 8】



【図 9】

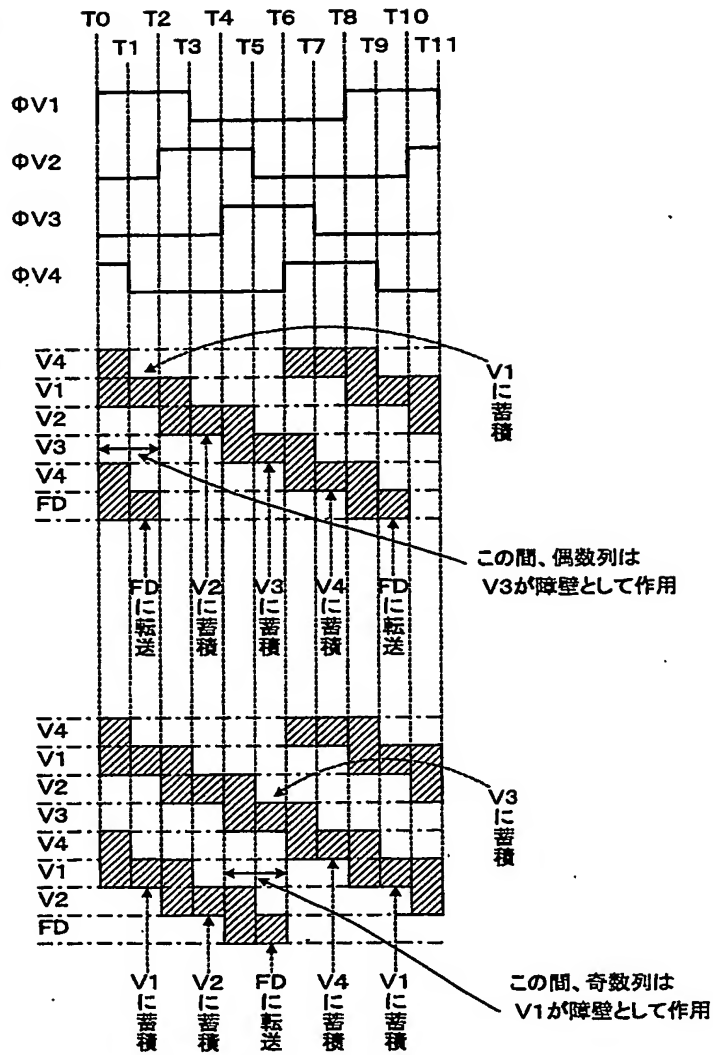


【図10】

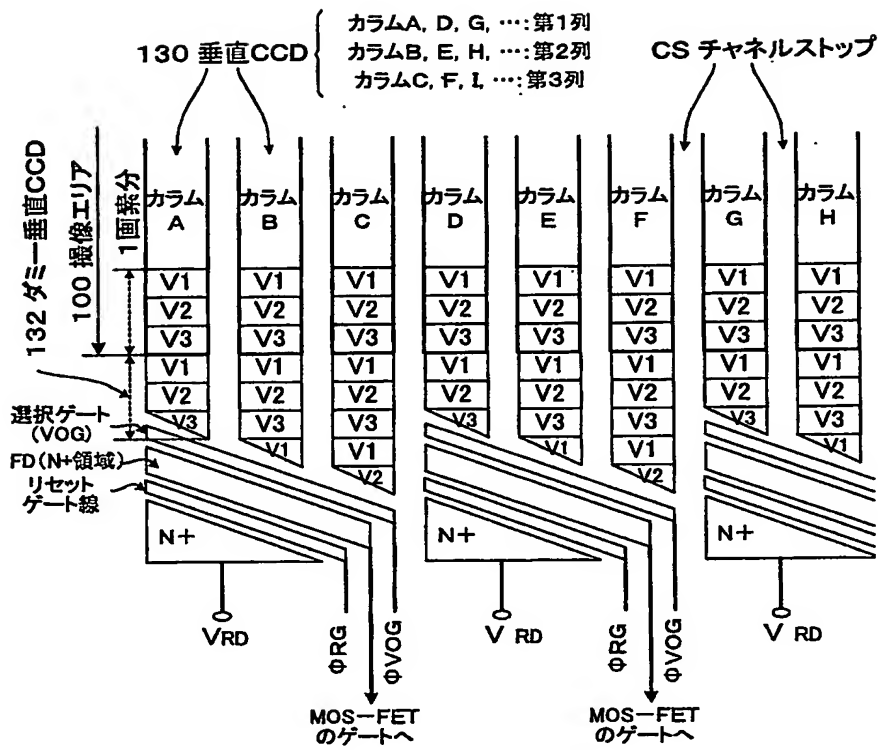
(パルスタイミング)

(電極と信号電荷
の位置関係)
奇数列

(電極と信号電荷
の位置関係)
偶数列

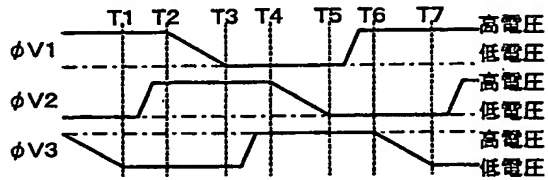


【图 1 1】

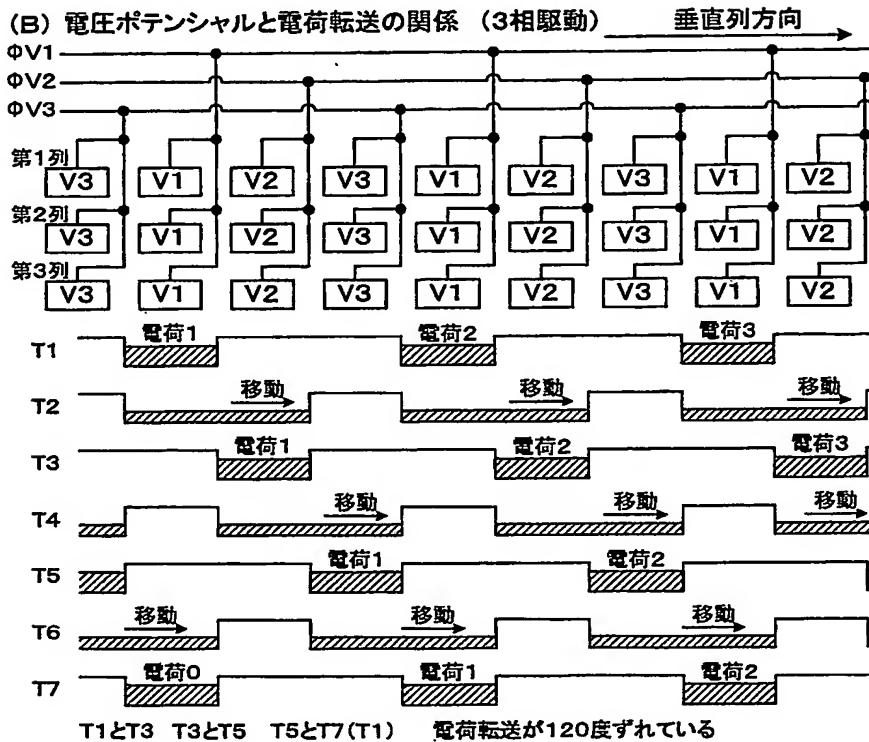


【図12】

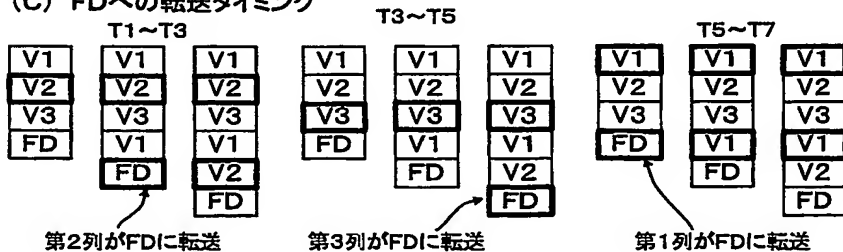
(A) 垂直転送パルスの基本形 (3相駆動)



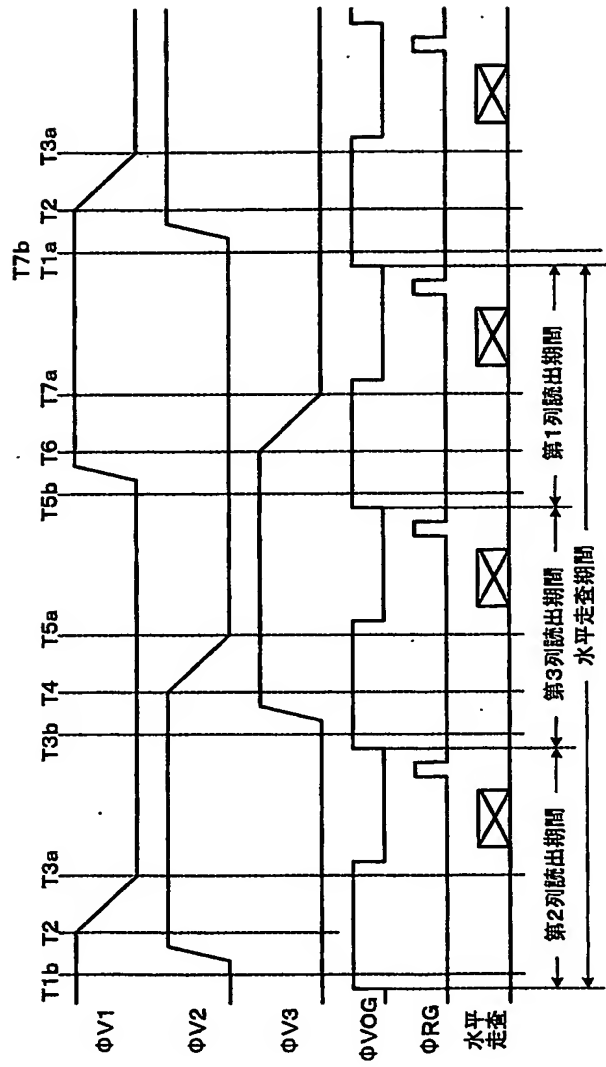
(B) 電圧ポテンシャルと電荷転送の関係 (3相駆動)



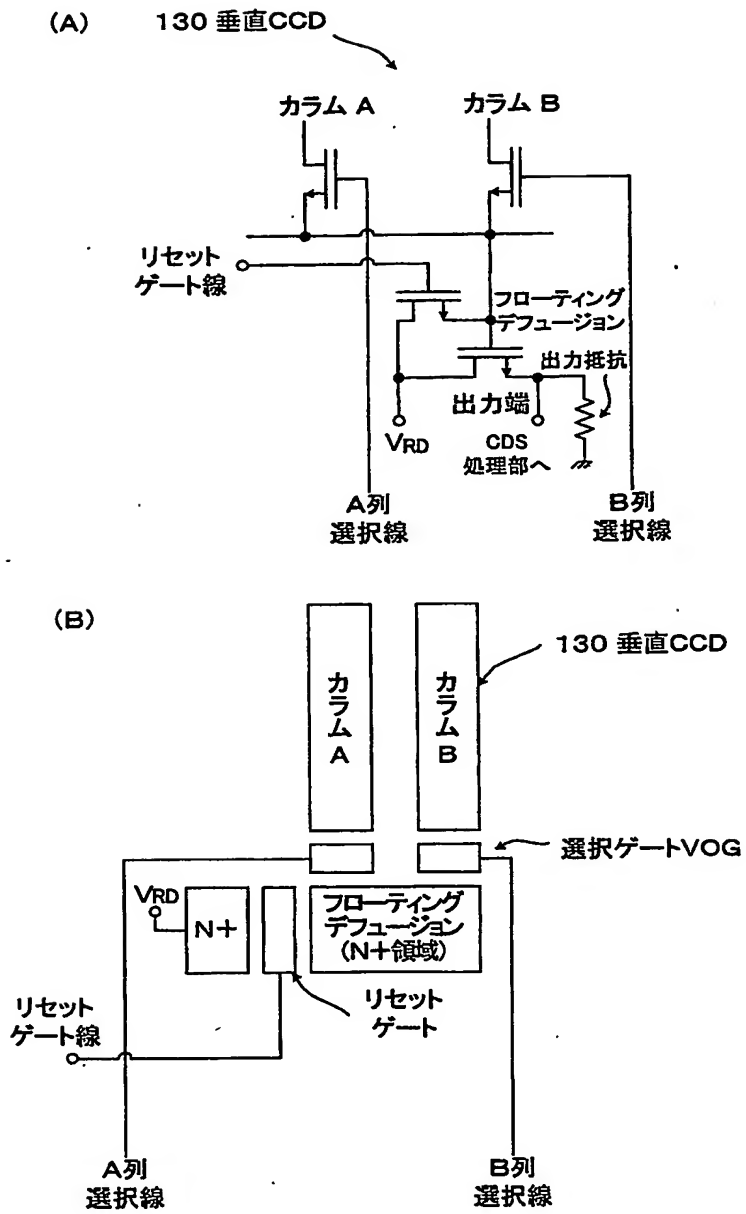
(C) FDへの転送タイミング



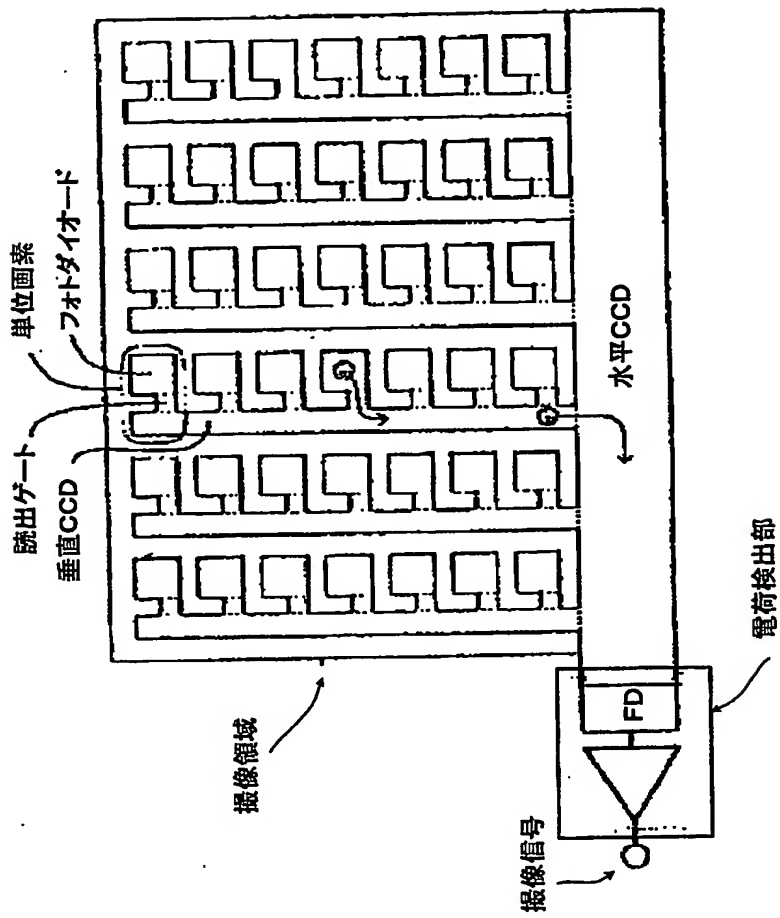
【図13】



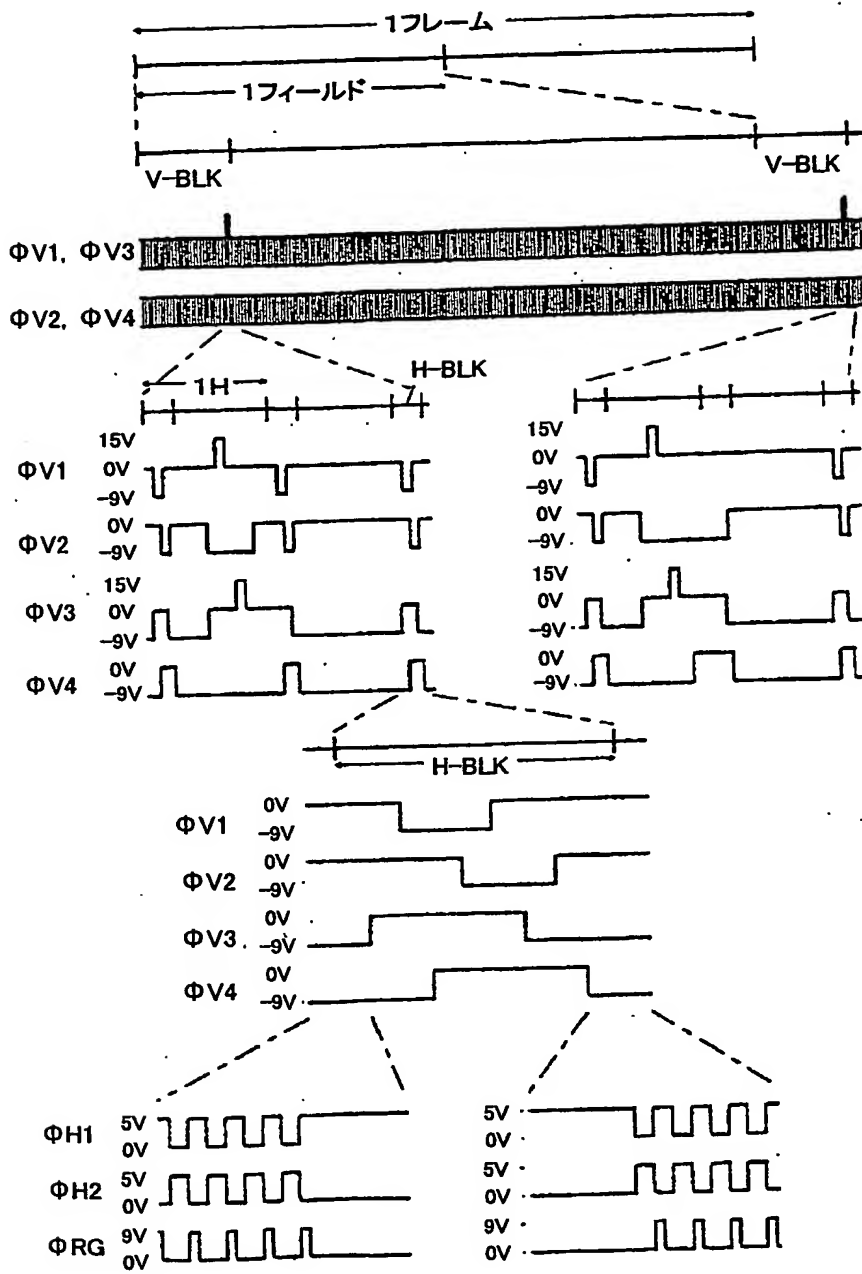
【図14】



【図15】

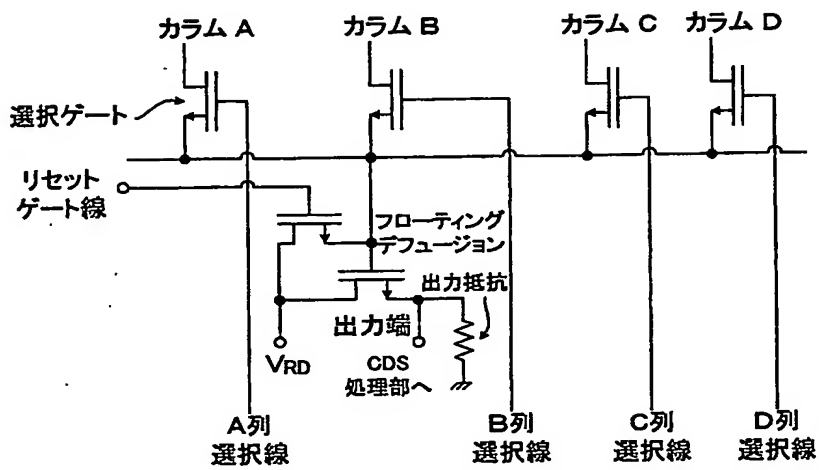


【図16】

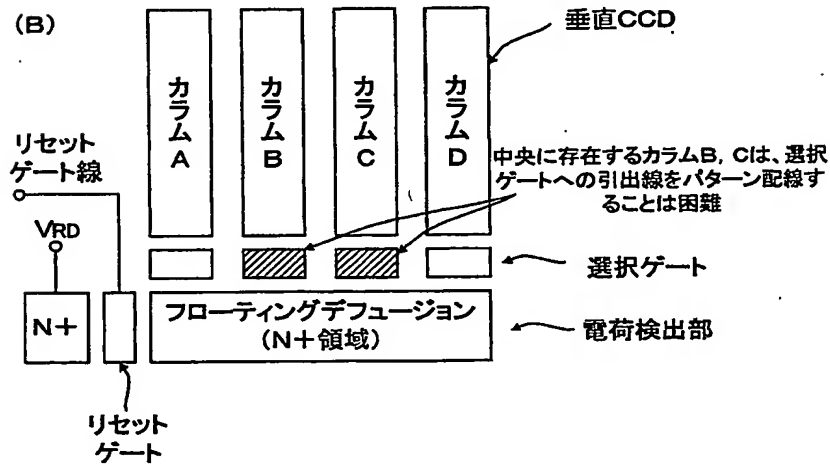


【図17】

(A) 130 垂直CCD



(B)



【書類名】 要約書

【要約】

【課題】 スキャニング読出方式のCCD固体撮像素子において、少ない配線数で、複数の垂直列を1つの電荷検出部に割り当てることができるようにする。

【解決手段】 1つの電荷検出部210に対して、隣接した2列分の垂直CCD130を割り当てる。電荷検出部210の垂直CCD130側には、フローティングデフュージョンFD構成のアンプを設ける。垂直CCD130とフローティングデフュージョンFDの間には、奇数列と偶数列とで垂直転送の段数が異なるダミー垂直CCD132を設ける。選択ゲートVOGおよびリセットゲート線RGは、2つの垂直列で共通に使用する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社
2. 変更年月日 2003年 5月15日
[変更理由] 名称変更
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社